

**ỦY BAN NHÂN DÂN TP THỦ ĐỨC
TRƯỜNG TRUNG CẤP NGHỀ ĐÔNG SÀI GÒN**

GIÁO TRÌNH
Tên mô đun: KỸ THUẬT XUNG SỐ
NGHỀ: ĐIỆN TỬ CÔNG NGHIỆP
TRÌNH ĐỘ TRUNG CẤP

*(Ban hành kèm theo Quyết định số: 431/QĐ-TCN ngày 18 tháng 10 năm 2022
của Hiệu trưởng Trường trung cấp nghề Đông Sài Gòn)*

TP Thủ Đức, năm 2022

MỤC LỤC

GIÁO TRÌNH	0
MỤC LỤC.....	2
Phần 1: KỸ THUẬT XUNG.....	7
BÀI 1:.....	7
CÁC KHÁI NIỆM CƠ BẢN	7
1. Định nghĩa xung điện, các tham số và dãy xung	7
1.1. Định nghĩa	7
1.2. Các thông số của xung điện và dãy xung.....	7
2. Tác dụng của R-C đối với các xung cơ bản.....	10
2.1. Tác dụng của mạch RC đối với các xung cơ bản	10
2.2. Tác dụng của mạch RL đối với các xung cơ bản.....	14
3. Tác dụng của mạch R.L.C đối với các xung cơ bản.....	16
4. Khảo sát dạng xung.	19
4.1. Các dạng xung nhiễu.	19
4.2 Các dạng xung cơ bản	19
5. Thực hành.	20
5.1. Hướng dẫn sử dụng thiết bị đo.....	20
5.2. Hướng dẫn sử dụng máy phát sóng.....	23
5.3. Đo, đọc các thông số cơ bản của xung.....	25
BÀI 2:.....	28
MẠCH DAO ĐỘNG ĐA HÀI	28
1. Mạch dao động đa hài không ổn dùng cổng logic.	28
2. Mạch đa hài đơn ổn dùng cổng logic.	29
3. Mạch đa hài lưỡng ổn dùng cổng logic.....	30
4. Thực hành:	30
Phần 2: KỸ THUẬT SỐ	37
BÀI 1:.....	37
ĐẠI CƯƠNG	37
1. Tổng quan về mạch tương tự và mạch số	37
1.1 Định nghĩa.....	37
1.2 Ưu và nhược điểm của kỹ thuật số so với kỹ thuật tương tự	38
2. Hệ thống số và mã số	40
2.1 Hệ thống số thập phân (Decimal system).....	40
2.2 Hệ thống số nhị phân (Binary system).....	40
2.3 Hệ thống số bát phân (Octal system)	41
2.4 Hệ thống số thập lục phân (Hexadecimal system).....	42
2.5 Mã BCD (Binary code decimal)	44
2.6 Mã ASCII.....	45
3. Các cổng logic cơ bản	47

3.1 Cổng AND.....	47
3.2 Cổng OR.....	48
3.3 Cổng NOT.....	49
Cổng NAND.....	49
Cổng NOR.....	50
Cổng EX-OR.....	50
3.7 Cổng EX-NOR.....	51
3.8 Cổng đệm (Buffer).....	51
4. Biểu thức logic và mạch điện.....	52
4.1 Mạch điện biểu diễn biểu thức logic.....	52
4.2 Xây dựng biểu thức logic theo mạch điện cho trước.....	55
5. Đại số Boole và định lý Demorgan.....	56
6. Đơn giản biểu thức logic.....	58
7. Thực hành:.....	67
BÀI 2:.....	72
FLIP –FLOP.....	72
1. Flip - Flop R-S:.....	72
2. FF R-S tác động theo xung lệnh.....	74
3. Flip - Flop J-K.....	75
4. Flip - Flop T.....	78
5. Flip - Flop D.....	79
6. Flip - Flop với ngõ vào Preset và Clear.....	80
7. Lắp ráp một số mạch ứng dụng cơ bản.....	81
BÀI 3:.....	85
MẠCH ĐẾM VÀ THANH GHI.....	85
1. Mạch đếm.....	85
1.1. Mạch đếm lên không đồng bộ.....	86
1.2. Mạch đếm xuống không đồng bộ.....	87
1.3. Mạch đếm lên, đếm xuống không đồng bộ (n=4):.....	88
1.4. Mạch đếm đồng bộ.....	89
2. Thanh ghi.....	90
2.1. Thanh ghi vào nối tiếp ra song song dịch phải.....	90
2.2. Thanh ghi vào nối tiếp ra song song dịch trái.....	91
2.3. Thanh ghi vào song song ra song song.....	92
3. Giới thiệu một số IC đếm và thanh ghi thông dụng.....	92
4. Lắp ráp một số mạch ứng dụng cơ bản.....	94
BÀI 4:.....	107
MẠCH LOGIC MSI.....	107
1. Mạch mã hóa (Encoder).....	107
2. Mạch giải mã (Decoder).....	110
3. Mạch ghép kênh.....	113

4. Mạch tách kênh	116
5. Lắp ráp một số mạch ứng dụng cơ bản	117
BÀI 5:	121
HỢI VI MẠCH TTL – CMOS	121
1. Cấu trúc và thông số cơ bản của TTL	121
2. Cấu trúc và thông số cơ bản của CMOS	126
3. Giao tiếp TTL và CMOS	130
4. Lắp ráp một số mạch ứng dụng cơ bản	131
BÀI 6:	136
BỘ NHỚ	136
1. ROM.....	137
2. RAM.....	139
3. Mở rộng dung lượng bộ nhớ	142
BÀI 7:	146
KỸ THUẬT ADC – DAC	146
1. Mạch chuyển đổi số - tương tự (DAC)	146
2. Mạch chuyển đổi tương tự - số (ADC)	150
TÀI LIỆU THAM KHẢO	159

MÔ ĐUN: KỸ THUẬT XUNG – SỐ

Mã Mô đun: MĐ 19

Vị trí, tính chất, ý nghĩa và vai trò của mô đun:

Mô đun được bố trí dạy sau khi học xong các môn cơ bản như điện tử cơ bản, đo lường điện tử, điện tử tương tự, kỹ thuật cảm biến...

Kỹ thuật xung là môn học cơ sở của ngành Điện – Điện tử và có vị trí khá quan trọng trong toàn bộ chương trình học của sinh viên và học sinh, nhằm cung cấp các kiến thức liên quan đến các phương pháp cơ bản để tạo tín hiệu xung và biến đổi dạng tín hiệu xung, các phương pháp tính toán thiết kế và các công cụ toán học hỗ trợ trong việc biến đổi, hình thành các dạng xung mong muốn...

Công nghệ kỹ thuật số đã và đang đóng vai trò quan trọng trong cuộc cách mạng khoa học kỹ thuật và công nghệ. Ngày nay, công nghệ số được ứng dụng rộng rãi và có mặt hầu hết trong các thiết bị dân dụng đến thiết bị công nghiệp, đặc biệt trong các lĩnh vực thông tin liên lạc, phát thanh,... kỹ thuật số đã và đang được thay thế dần kỹ thuật tương tự.

Tính chất của môn học: Là mô đun chuyên nghề.

Mục tiêu của mô đun:

Sau khi học xong mô đun này học viên có năng lực:

*** Về kiến thức:**

- Phát biểu được các khái niệm cơ bản về xung điện, các hệ thống số cơ bản của xung điện, ý nghĩa của xung điện trong kỹ thuật điện tử.

- Trình bày được cấu tạo các mạch dao động tạo xung và mạch xử lý dạng xung.

- Phát biểu khái niệm về kỹ thuật số, các cổng logic cơ bản. Kí hiệu, nguyên lí hoạt động, bảng sự thật của các cổng logic.

- Trình bày được cấu tạo, nguyên lý các mạch số thông dụng như: mạch đếm, mạch đóng ngắt, mạch chuyển đổi, mạch ghi dịch, mạch điều khiển.

*** Về kỹ năng:**

- Lắp ráp, kiểm tra được các mạch tạo xung và xử lý dạng xung.

- Lắp ráp, kiểm tra được các mạch số cơ bản trên panel và trong thực tế.

*** Về thái độ:**

- Rèn luyện học sinh, sinh viên tính tỉ mỉ, chính xác.

- Có tinh thần làm việc nhóm, làm việc một cách chủ động linh hoạt và sáng tạo.

- Đảm bảo an toàn vệ sinh công nghiệp.

Số TT	Tên các bài trong mô đun	Thời gian			
		Tổng số	Lý thuyết	Thực hành	Kiểm tra*
Phần 1: Kỹ thuật xung		20	9	10	1
1	Các khái niệm cơ bản	6	4	2	
2	Mạch dao động đa hài	11	4	6	1
3	Mạch hạn chế biên độ và ghim áp	3	1	2	
Phần 2: Kỹ thuật số		70	21	44	5
1	Đại cương	11	3	8	
2	FLIP – FLOP	7	3	4	
3	Mạch đếm và thanh ghi	25	5	18	2
4	Mạch logic MSI	9	3	4	2
5	Họ vi mạch TTL - CMOS	10	3	6	1
6	Bộ nhớ	2	2	0	
7	Kỹ thuật ADC – DAC	6	2	4	
Cộng		90	30	54	6

Phần 1: KỸ THUẬT XUNG

BÀI 1:

CÁC KHÁI NIỆM CƠ BẢN

Giới thiệu

Các tín hiệu điện có biên độ thay đổi theo thời gian được chia ra làm hai loại cơ bản là tín hiệu liên tục và tín hiệu gián đoạn. Tín hiệu liên tục còn được gọi là tín hiệu tuyến tính hay tương tự, tín hiệu gián đoạn còn gọi là tín hiệu xung số.

Tín hiệu sóng sin được xem như là tín hiệu tiêu biểu cho loại tín hiệu liên tục, ta có thể tính được biên độ của nó ở từng thời điểm. Ngược lại tín hiệu sóng vuông được xem là tín hiệu tiêu biểu cho loại tín hiệu gián đoạn và biên độ của nó chỉ có hai giá trị là mức cao và mức thấp, thời gian để chuyển từ mức biên độ thấp lên cao và ngược lại rất ngắn và được xem như tức thời.

Một chế độ mà các thiết bị điện tử thường làm việc hiện nay đó là chế độ xung.

Mục tiêu:

- Trình bày được các khái niệm về xung điện, dãy xung
- Giải thích được sự tác động của các linh kiện thụ động đến dạng xung
- Rèn luyện tính tư duy, tác phong công nghiệp

Nội dung:

1. Định nghĩa xung điện, các tham số và dãy xung

- Mục tiêu: Trình bày và phân tích các dạng tín hiệu, các hàm, các thông số của xung cơ bản.

1.1. Định nghĩa

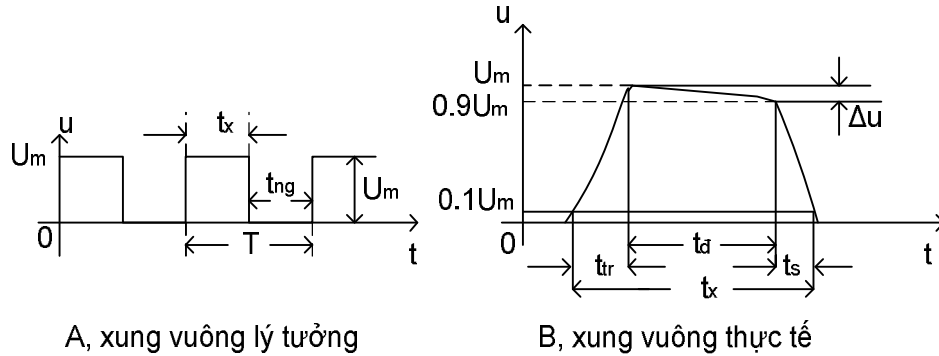
- Xung là tín hiệu tạo nên do sự thay đổi mức của điện áp hay dòng điện trong một khoảng thời gian rất ngắn, có thể so sánh với thời gian quá độ của mạch điện mà chúng tác động. Thời gian quá độ là thời gian để một hệ vật lý chuyển từ trạng thái vật lý này sang trạng thái vật lý khác.

- Các tín hiệu xung được sử dụng rất rộng rãi trong các mạch điện tử: truyền thông, công nghệ thông tin, vô tuyến, hữu tuyến...

1.2. Các thông số của xung điện và dãy xung

1.2.1. Các thông số của xung điện.

Tín hiệu xung vuông như hình 1.1 là một tín hiệu xung vuông lý tưởng, thực tế khó có 1 xung vuông nào có biên độ tăng và giảm thẳng đứng như vậy:



Hình 1.1: Dạng xung

Xung vuông thực tế với các đoạn đặc trưng như: sườn trước, đỉnh, sườn sau. Các tham số cơ bản là biên độ U_m , độ rộng xung t_x , độ rộng sườn trước t_{tr} và sau t_s , độ sụt đỉnh Δ_u .

- Biên độ xung U_m xác định bằng giá trị lớn nhất của điện áp tín hiệu xung có được trong thời gian tồn tại của nó.
 - Độ rộng sườn trước t_{tr} , sườn sau t_s là xác định bởi khoảng thời gian tăng và thời gian giảm của biên độ xung trong khoảng giá trị $0.1U_m$ đến $0.9U_m$
 - Độ rộng xung T_x xác định bằng khoảng thời gian có xung với biên độ trên mức $0.1U_m$ (hoặc $0.5U_m$).
 - Độ sụt đỉnh xung Δ_u thể hiện mức giảm biên độ xung tương ứng từ $0.9U_m$ đến U_m .
- ❖ Với dãy xung tuần hoàn ta có các tham số đặc trưng như sau:
- Chu kỳ lặp lại xung T là khoảng thời gian giữa các điểm tương ứng của 2 xung kế tiếp, hay là thời gian tương ứng với mức điện áp cao t_x và mức điện áp thấp t_{ng} , biểu thức (1.1)

$$T = t_x + t_{ng} \quad (1.1)$$

- Tần số xung là số lần xung xuất hiện trong một đơn vị thời gian (1.2)

$$F = \frac{1}{T} \quad (1.2)$$

- Thời gian nghỉ t_{ng} là khoảng thời gian trống giữa 2 xung liên tiếp có điện áp nhỏ hơn $0.1U_m$ (hoặc $0.5U_m$).
- Hệ số lấp đầy γ là tỷ số giữa độ rộng xung t_x và chu kỳ xung T (1.3)

$$\gamma = \frac{t_x}{T} \quad (1.3)$$

Do $T = t_x + t_{ng}$, vậy ta luôn có $\gamma < 1$

- Độ rộng của xung Q là tỷ số giữa chu kỳ xung T và độ rộng xung t_x (1.4)

$$Q = \frac{T}{t_x} \quad (1.4)$$

❖ Trong kỹ thuật xung - số, chúng ta sử dụng phương pháp số đối với tín hiệu xung với quy ước chỉ có 2 trạng thái phân biệt

- Trạng thái có xung (t_x) với biên độ lớn hơn một ngưỡng U_H gọi là trạng thái cao hay mức “1”, mức U_H thường chọn cỡ từ $1/2V_{cc}$ đến V_{cc} .

- Trạng thái không có xung (t_{ng}) với biên độ nhỏ hơn 1 ngưỡng U_L gọi là trạng thái thấp hay mức “0”, U_L được chọn tùy theo phần tử khóa (tranzito hay IC)

- Các mức điện áp ra trong dải $U_L < U < U_H$ được gọi là trạng thái cấm.

1.2.2 Dãy xung :

Kỹ thuật xung không chỉ phát ra một xung đơn mà còn phát ra được một dãy xung liên tiếp tuần hoàn với chu kỳ T , nghĩa là sau mỗi thời gian T lại có một xung lặp lại hoàn toàn giống như xung trước.

- Các dạng dãy xung tuần hoàn thường gặp:

- + Dãy xung vuông góc là dạng dãy xung thường gặp nhất trong kỹ thuật điện tử. Các thông số đặc trưng cho dãy xung gồm: biên độ U_M , độ rộng xung t_x , thời gian nghỉ t_n , chu kỳ $T = t_x + t_n$, tần số $f = 1/T$. Ngoài ra còn có 2 thông số phụ đặc trưng khác là hệ số lấp đầy $\gamma = t_x/T$ và độ hồng (rỗng) $Q = 1/\gamma = T/t_x$. Nếu $Q = 2$, ($t_x = t_n$) thì dãy xung gọi là dãy xung vuông góc đối xứng.

- + Dãy xung răng cưa thuần túy ($t_f = 0$), chu kỳ T . Mạch phát dãy xung này thường dùng trong thiết bị dao động kí điện tử, với vai trò bộ tạo sóng quét ngang.

- Dãy xung tuần hoàn. Nó thường dùng để kích khởi những hoạt động có tính chu kỳ. Các mạch phát xung tuần hoàn thường là những mạch hoạt động không chịu sự điều khiển bởi các xung kích

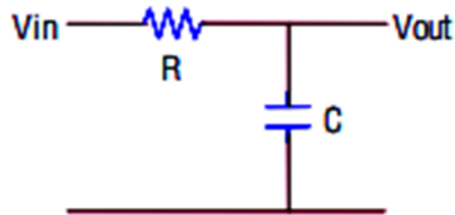
- Dãy xung có thể không tuần hoàn. Mạch phát các xung này thường là những mạch hoạt động theo sự điều khiển của các xung kích khởi bởi ở bên ngoài, và gọi là các mạch kích khởi. Ứng với mỗi xung kích thích bên ngoài, mạch cho ra một xung có biên độ và độ rộng xung không thay đổi, nghĩa là dạng xung đưa ra hoàn toàn lặp lại giống nhau sau mỗi xung kích thích.

2. Tác dụng của R-C đối với các xung cơ bản

- Mục tiêu: Trình bày và phân tích sự giống và khác nhau giữa RC, RL đối với các mạch của xung cơ bản.

2.1. Tác dụng của mạch RC đối với các xung cơ bản

- **Mạch lọc thông thấp**



Hình 1.2: Mạch lọc thông thấp

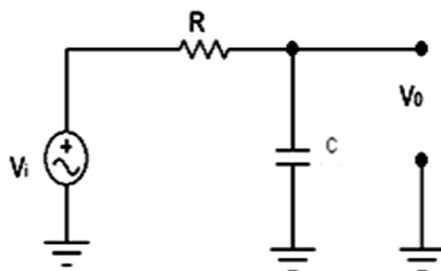
- Tín hiệu lấy ra trên C

- Mạch lọc thông thấp cho các tín hiệu có tần số nhỏ hơn tần số cắt qua hoàn toàn. Tín hiệu có tần số cao bị suy giảm biên độ. Tín hiệu lấy trên tụ C làm cho tín hiệu ra trễ pha so với tín hiệu vào (1.5)

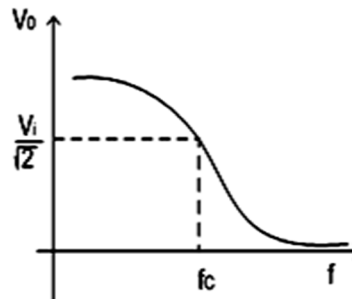
- Tần số cắt $f_c = \frac{1}{2\pi RC}$ (1.5)

Tại tần số cắt điện áp ra có biên độ

$$V_0 = \frac{V_i}{\sqrt{2}} \quad (1.6)$$



A. Mạch lọc thông thấp



B. Đáp ứng tần số

Hình 1.3: Mạch lọc RC và đáp ứng xung của mạch lọc

- **Mạch tích phân RC**

- Mạch lọc RC là mạch mà điện áp ra $V_0(t)$ tỉ lệ với tích phân theo thời gian của điện áp vào $V_i(t)$.

- Trong đó K là hệ số tỉ lệ, mạch tích phân RC chính là mạch lọc thông thấp khi tín hiệu vào có tần số f_i rất lớn so với tần số cắt f_c của mạch.

Ta có công thức: $V_i(t) = VR(t) + VC(t)$ (1.7)

Từ điều kiện tần số f_i rất lớn so với tần số cắt f_c ta có (1.8):

$$\begin{aligned} f_i \gg f_c = 1/2 \pi RC \Rightarrow R \gg X_c = 1/2 \pi f_i C \\ \Rightarrow VR(t) \gg VC(t) \end{aligned} \quad (1.9)$$

(vì dòng I(t) qua R và C bằng nhau)

$$\begin{aligned} \text{Từ (1.7) và (1.9) ta có } V_i(t) \approx VR(t) = R \cdot i(t) \\ \Rightarrow i(t) = V_i(t)/R \end{aligned} \quad (1.10)$$

Điện áp ra $V_0(t)$:

$$\begin{aligned} V_0(t) = V_c(t) &= \frac{1}{C} \int i(t) dt \\ \Rightarrow V_0(t) &= \frac{1}{C} \int \frac{V_i(t)}{R} dt \\ \Rightarrow V_0(t) &= \frac{1}{RC} \int V_i(t) dt \end{aligned} \quad (1.11)$$

Như vậy, điện áp ra $V_0(t)$ tỉ lệ với tích phân theo thời gian của điện áp vào $V_i(t)$ với hệ số tỉ lệ $K = 1/RC$ khi tần số f_i rất lớn so với f_c .

Điều kiện mạch tích phân

$$f_i \gg f_c \Rightarrow f_i \gg 1/2\pi RC.$$

$$RC \gg 1/2\pi f_i \Leftrightarrow \tau \gg 1/2\pi f_i = T_i / 2\pi$$

Trong đó: $\tau = RC$ là hằng số thời gian.

T_i là chu kỳ tín hiệu vào.

Ví dụ: Trường hợp điện áp vào $V_i(t)$ là tín hiệu hình sin qua mạch tích phân.

$$V_i(t) = V_m \sin \omega(t) \quad (1.12)$$

Điện áp ra:

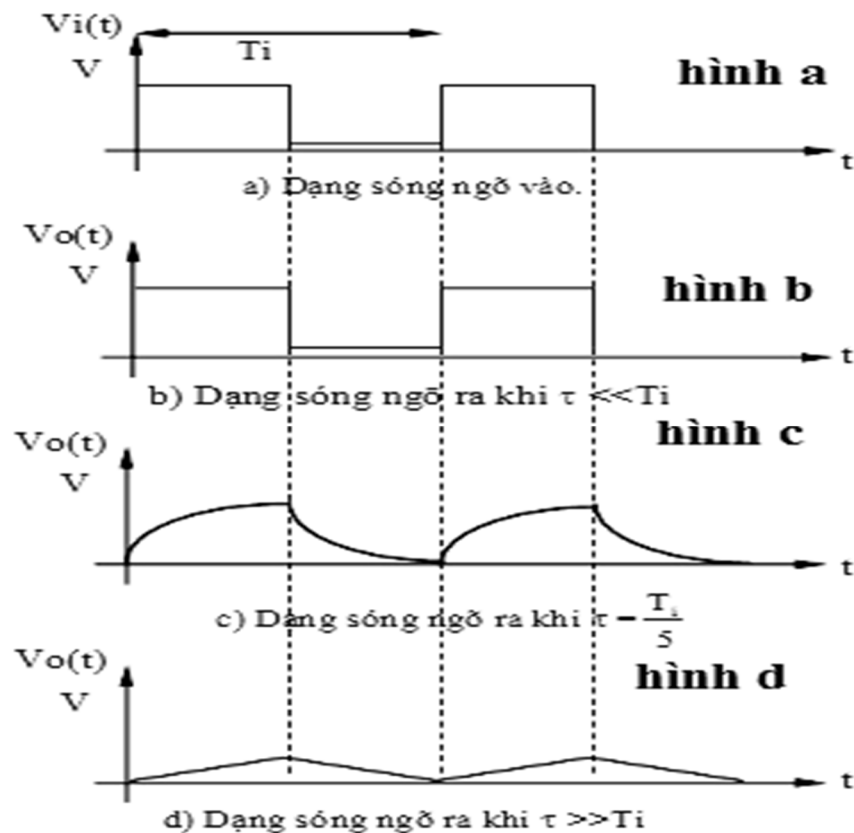
$$\begin{aligned} V_0(t) &= \frac{1}{RC} = \int V_m \sin \omega t dt \\ &= -\frac{V_m}{\omega RC} \cos \omega t \\ \Rightarrow V_0(t) &= \frac{V_m}{\omega RC} \sin(\omega t - 90^\circ) \end{aligned} \quad (1.13)$$

Như vậy, nếu thỏa mãn điều kiện của mạch tích phân như trên thì điện áp ra bị trễ pha 90° và biên độ bị giảm xuống với tỉ lệ là $\frac{1}{\omega RC}$.

Điện áp vào là tín hiệu xung vuông: khi điện áp vào là tín hiệu xung vuông có chu kỳ T_i thì có thể xét tỉ lệ hằng số thời gian $\tau = RC$ so với T_i để giải thích các dạng sóng ra theo hiện tượng nạp xả của tụ.

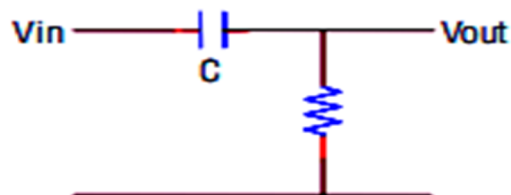
Giả sử điện áp ngõ vào là tín hiệu xung vuông đối xứng có chu kỳ T_i (hình 1.4a).

- Nếu mạch tích phân có hằng số thời gian $\tau = RC$ rất nhỏ so với T_i thì tụ nạp và xả rất nhanh nên điện áp ngõ ra $V_o(t)$ có dạng sóng giống như dạng điện áp vào $V_i(t)$ hình 1.4b.
- Nếu mạch tích phân có hằng số thời gian $\tau = T_i / 5$ thì tụ nạp và xả điện áp theo dạng hàm số mũ, biên độ của điện áp ra nhỏ V_p hình 1.4c.
- Nếu mạch tích phân có hằng số thời gian τ rất lớn so với T_i thì tụ C nạp rất chậm nên điện áp ra có biên độ rất thấp hình 1.4d, nhưng đường tăng giảm điện áp gần như đường thẳng. Như vậy, mạch tích phân chọn trị số RC thích hợp thì có thể sửa dạng xung vuông có ngõ vào thành dạng sóng tam giác ở ngõ ra. Nếu xung vuông đối xứng thì xung tam giác ra là tam giác cân.



Hình 1.4: Dạng sóng vào ra của tín hiệu xung vuông

❖ **Mạch lọc thông cao**



Hình 1.5: Mạch lọc thông cao

- Mạch lọc thông cao cho các tín hiệu có tần số cao hơn tần số cắt qua hoàn toàn, tín hiệu có tần số thấp bị suy giảm biên độ. Tín hiệu ra lấy trên R, làm cho tín hiệu sớm pha so với tín hiệu vào.

Tương tự, ta có:

$$+ \text{Tần số cắt: } f_c = \frac{1}{2\pi RC}$$

+ Tại tần số cắt điện áp ra có biên độ:

$$V_0 = \frac{V_i}{\sqrt{2}}$$

• **Mạch vi phân RC:** là mạch có điện áp ngõ ra V_0 tỉ lệ với đạo hàm theo thời gian của điện áp ngõ vào $V_i(t)$.

Ta có:

$$V_0(t) = K \frac{d}{dt} V_i(t) \quad (1.14)$$

Trong đó k là hệ số tỉ lệ mạch vi phân RC chính là mạch lọc thông cao RC khi tín hiệu vào có tần số f_i rất thấp so với tần số cắt của f_c của mạch.

Từ hình 1.4a, ta có:

$$V_i(t) = V_{R(t)} + V_{C(t)} \quad (1.15)$$

Từ điều kiện tần số f_i rất thấp so với tần số cắt f_c ta có : f_i << f_c = 1/2πRC.

$$\Rightarrow R \ll X_C = 1/2\pi f_i C.$$

$$\Rightarrow V_R(t) \ll V_C(t) \quad (1.16)$$

(vì dòng i(t) qua R và C bằng nhau)

Từ (1.15) và (1.16) ta có : $V_i(t) \approx V_C(t)$, đối với tụ C điện áp trên tụ còn được tính theo công thức:

$$V_c(t) = \frac{q(t)}{C} \quad (1.17)$$

Trong đó: q(t) là điện tích nạp vào tụ
Mặt khác, ta có:

$$\begin{aligned} \frac{dV_i(t)}{dt} &= \frac{dV_c(t)}{dt} \\ &= \frac{1}{C} \frac{dq(t)}{dt} = \frac{1}{C} i(t) \end{aligned} \quad (1.18)$$

Từ đây ta có phương trình theo (1.18)

$$i(t) = C \frac{dV_i(t)}{dt} \quad (1.19)$$

Điện áp ra $V_0(t)$:

$$\begin{aligned} V_0(t) &= VR(t) = Ri(t) \\ \Rightarrow V_0(t) &= RC \frac{dV_1(t)}{dt} \end{aligned} \quad (1.20)$$

Như vậy điện áp ra $V_0(t)$ tỉ lệ với vi phân theo thời gian của điện áp vào với hệ số tỉ lệ K là $K = RC$ khi tần số f_i rất thấp so với f_c .

- Điều kiện mạch vi phân

$$f_i \ll f_c \Rightarrow f_i \ll 1/2\pi RC.$$

$$RC \ll 1/2\pi f_i \Leftrightarrow \tau \ll 1/2\pi f_i = T_i / 2\pi$$

Trong đó: $\tau = RC$ là hằng số thời gian.

T_i là chu kỳ tín hiệu vào

Ví dụ: Trường hợp điện áp vào $V_i(t)$ là tín hiệu hình sin qua mạch vi phân

$$V_i(t) = V_m \cdot \sin \omega(t)$$

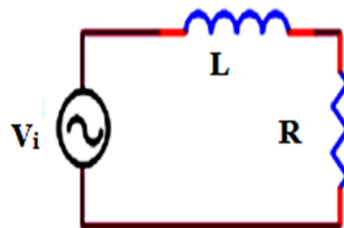
Điện áp ra :

$$\begin{aligned} V_0(t) &= R \cdot C \frac{d}{dt} (V_m \cdot \sin \omega t) \\ &= \omega R C V_m \cos \omega t \\ \Rightarrow V_0(t) &= \omega R \cdot C \cdot V_m \cdot \sin(\omega t + 90^\circ) \end{aligned}$$

- Như vậy, nếu thỏa mãn điều kiện của mạch vi phân như trên thì điện áp ra bị sớm pha 90° và biên độ nhân với hệ số tỉ lệ là ωRC .

- Đây là một bộ lọc thông cao dạng căn bản, vì trở kháng của tụ giảm dần khi tần số tăng, các thành phần tần số cao của tín hiệu ngõ vào sẽ ít suy giảm hơn các thành phần tần số thấp. Ở các tần số cao hầu như tụ ngắn mạch và tất cả các ngõ vào đều xuất hiện tại ngõ ra.

2.2. Tác dụng của mạch RL đối với các xung cơ bản



Hình 1.6: Mạch RL

2.2.1 Hàm đột biến điện áp: $V_i = a.1(t)$ (hình 1.7)

$$+ t < 0 : V_i = 0 \Rightarrow V_R = 0, V_L = 0$$

+ $t=0$: $V_i = a \Rightarrow i = 0$ (dòng qua cuộn dây không đột biến)

Ta có : $V_R = 0$

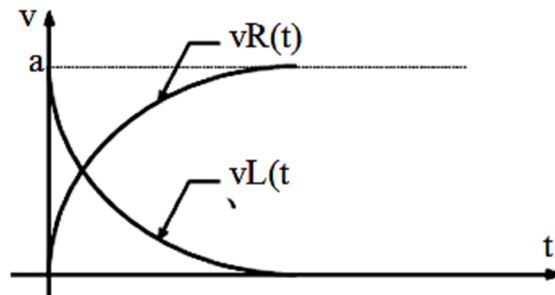
$\Rightarrow V_L = V_i - V_R = a$

+ $t > 0$ dòng qua cuộn dây tăng dần, V_R tăng, V_L giảm

+ $t = \infty$: Mạch xác lập: $V_L = 0$, $V_R = a$

$$\Rightarrow \left\{ \begin{array}{l} V_R = a(1 - e^{-t/\tau}) \\ V_L = ae^{-t/\tau} \end{array} \right\} \quad (1.21)$$

Với $\tau = L/R$ được gọi là thời hằng

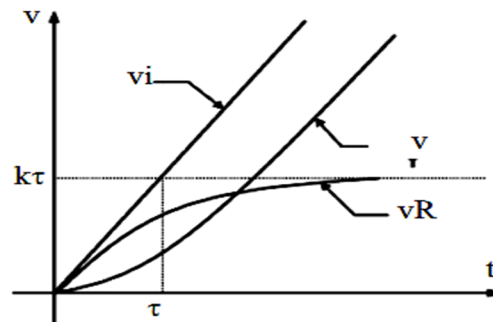


Hình 1.7

2.2.2 Hàm tuyến tính: $v_i = kt$ (hình 1.8)

Ta có:

$$\Rightarrow \left\{ \begin{array}{l} V_R = kt - k\tau(1 - e^{-t/\tau}) \\ V_L = kt(1 - e^{-t/\tau}) \end{array} \right\}, \tau = \frac{L}{R} \quad (1.22)$$



Hình 1.8: Hàm tuyến tính

Mạch RL lấy tín hiệu ra trên tải R thì được gọi là mạch hạ thông (thông thấp). Mạch RL lấy tín hiệu ra trên tải L thì được gọi là mạch thượng thông (thông cao).

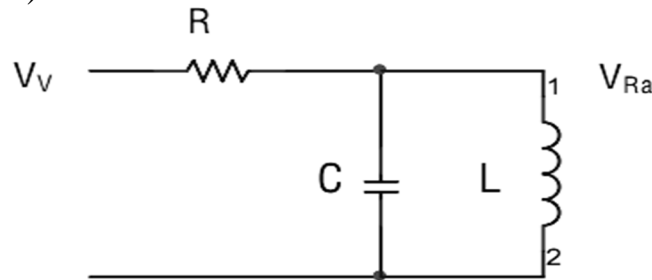
Nhận xét:

- Phản ứng của mạch RL, thông cao giống như phản ứng của RC thông cao.
- Phản ứng của mạch RL, thông thấp giống như phản ứng của RC thông thấp.

3. Tác dụng của mạch R.L.C đối với các xung cơ bản.

- Mục tiêu: trình bày và phân tích được sơ đồ khi có xung đột biến trong mạch RLC của xung cơ bản .

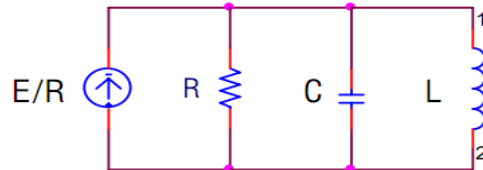
Sơ đồ mạch (hình 1.9)



Hình 1.9

Xét ngõ vào là hàm bước (hình 1.10)

Biến đổi nguồn áp thành nguồn dòng, ta có dạng mạch như hình sau:



Hình 1.10

Lúc này nguồn dòng có giá trị

$$i(t) = \frac{E}{R} u(t) \quad (1.23)$$

Trong đó: $u(t)$ là hàm bước đơn vị

- Để tìm hiểu tác dụng của xung đột biến dòng điện lên mạch RLC mắc song song, ta có thể tìm tác dụng riêng lẻ của từng đột biến dòng điện rồi sau đó tổng kết quả của chúng lại với nhau. Đây là dạng mạch dao động RLC mắc song song.
- Nếu tại thời điểm $t = 0$, đầu vào của mạch đột biến dòng điện có biên độ E/R . Với điều kiện ban đầu $u_C(0) = 0$, $i_L(0) = 0$, ta lập được phương trình cho mạch như sau:

Với:
$$i(t) = \frac{E}{R} u(t) \quad (1.24)$$

$$i(p) = \frac{E}{R} \cdot \frac{1}{p} \quad (1.25)$$

Phương trình nút, ta có

$$i(p) = \frac{E}{R} \cdot \frac{1}{p} = v_m(p) \left(\frac{1}{R} + \frac{1}{pL} + pC \right) \quad (1.26)$$

$$V_{ra}(p) = \frac{E}{RC} \cdot \frac{1}{p^2 + p \cdot \frac{1}{RC} + \frac{1}{LC}} = \frac{E}{RC} \cdot \frac{1}{p^2 + 2ap + \omega_0^2} \quad (1.27)$$

Với :

$$2a = \frac{1}{RC} \rightarrow a = \frac{1}{2RC}$$

$$\omega_0^2 = \frac{1}{LC} \rightarrow \omega_0 = \frac{1}{\sqrt{LC}}$$

Phương trình (1.27) có mẫu số triệt tiêu ứng với $p^2 + 2ap + \omega_0^2 = 0$ có nghiệm

$$- p_{1,2} = -\frac{1}{2RC} \pm \sqrt{\frac{1}{4R^2C^2} - \frac{1}{LC}} = -a \pm \sqrt{a^2 - \omega_0^2} \quad (1.28)$$

$$- \Delta = \sqrt{a^2 - \omega_0^2} \quad (1.29)$$

$$- V_{ra}(p) = \frac{E}{RC} \cdot \frac{1}{(p-p_1)(p-p_2)} \quad (1.30)$$

Có 3 trường hợp:

- Trường hợp $\Delta > 0$ thì p_1, p_2 là 2 nghiệm thực:

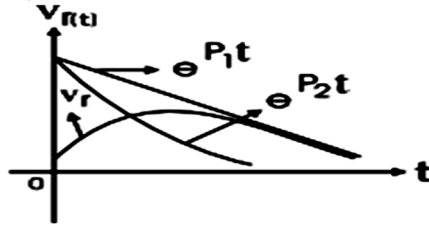
Ta có:
$$V_{ra}(p) = \frac{E}{RC} \cdot \frac{1}{(p-p_1)(p-p_2)} = \frac{E}{RC} \cdot \left(\frac{1}{p-p_1} - \frac{1}{p-p_2} \right) \cdot \frac{1}{p_1-p_2}$$

$$= \frac{A}{p_1-p_2} \cdot \left(\frac{1}{p-p_1} - \frac{1}{p-p_2} \right)$$

Với $A = \frac{E}{RC} = \text{Const}$. Lấy Laplace ngược của $v_{ra}(p)$, ta được:

$$v_{ra}(t) = \mathcal{F}^{-1}\{v_{ra}(p)\} = \frac{A}{p_1-p_2} (e^{p_1 t} - e^{p_2 t}) \quad (1.31)$$

Đường cong điện áp ra được vẽ như hình 1.11



Hình 1.11

Qua hình vẽ ta thấy, giản đồ thời gian của điện áp ra có dạng một xung đơn hướng và là hiệu của hai hàm số mũ $e^{p_1 t}, e^{p_2 t}$.

Trường hợp: $\Delta = 0$, khi đó $p_1 = p_2 = -a$.

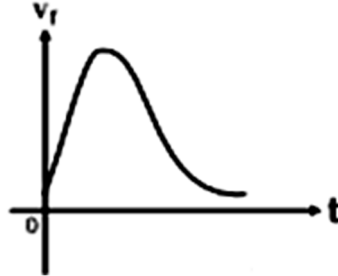
Ta có:
$$v_{ra}(p) = \frac{E}{RC} \cdot \frac{1}{(p+a)^2}$$

Biến đổi Laplace ngược ta được:

$$v_{ra}(t) = \mathcal{L}^{-1} \{v_{ra}(p)\} = \frac{E}{RC} \cdot t \cdot e^{-at} = B \cdot t \cdot e^{-at}$$

Với $B = \frac{E}{RC} = \text{const}$

Giản đồ thời gian của điện áp ra (xem hình 1.12)



Hình 1.12

Trường hợp $\Delta < 0$, khi đó $\sqrt{\Delta} < 0 \Rightarrow \sqrt{\Delta} = \sqrt{\omega_0^2 - a^2} = \omega^2$

$$p_{1,2} = -\alpha \pm j\omega_1$$

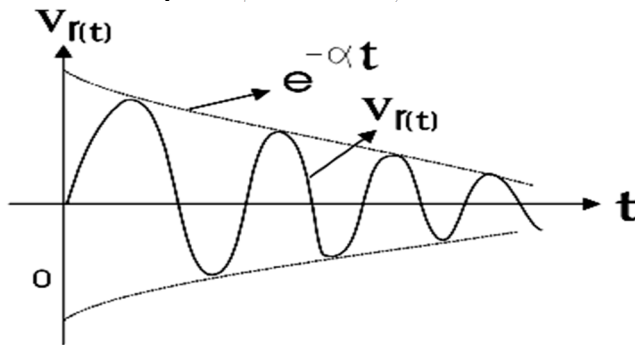
$$v_{ra}(p) = \frac{E}{\omega_1 RC} \cdot \frac{\omega_1}{(p+a)^2 + \omega_1^2}$$

Lấy Laplace ngược ta được:

$$v_{ra}(t) = \mathcal{L}^{-1} \{v_{ra}(p)\} = \frac{E}{RC\omega_1} \cdot e^{-at} \sin \omega_1 t = \frac{C}{\omega_1} e^{-at} \sin \omega_1 t$$

Với $C = E/RC = \text{const}$.

Giản đồ thời gian của điện áp ra (hình 1.13)



Hình 1.13

Qua hình vẽ ta thấy, khi tác dụng lên đầu vào của mạch dao động RLC, mắc song song, một đột biến dòng điện trong mạch sẽ phát sinh dao động có biên độ suy giảm dần là do sự tồn tại điện trở phân mạch R và điện trở bản thân cuộn dây.

Nếu a càng lớn, dao động tắt dần càng nhanh, biên độ ban đầu là:

$$\frac{C}{\omega_1} = \frac{C}{\sqrt{\omega_0^2 - a^2}}$$

Ngược lại, hệ số suy giảm a càng nhỏ thì dao động tắt dần chậm hơn, nhưng biên độ ban đầu bé.

4. Khảo sát dạng xung.

- *Mục tiêu: Khảo sát một số dạng xung cơ bản thông qua máy đo dao động ký trên một số mạch thí nghiệm, xác định biên độ, tín hiệu ngõ vào ngõ ra khi có tác động của các hàm và điện áp.*

4.1. Các dạng xung nhiễu.

4.1.1 Nhiễu trắng:

Nhiễu trắng là một dạng tín hiệu ngẫu nhiên có cường độ bằng nhau tại các tần số khác nhau, có mật độ phổ công suất là hằng số. Trong âm nhạc, nhiễu trắng thường được sử dụng để tạo ra các tín hiệu âm nhạc điện tử, tổng hợp âm thanh. Trong kỹ thuật điện tử, nhiễu trắng được sử dụng để tạo ra đáp ứng xung của một mạch điện, đặc biệt trong khuếch đại hay các thiết bị audio.

4.1.2 Nhiễu ISI (intersymbol interference):

Trong môi trường truyền dẫn vô tuyến, nhiễu xuyên ký tự (ISI) gây bởi tín hiệu phản xạ có thời gian trễ khác nhau từ các hướng khác nhau từ phát đến thu là điều không thể tránh khỏi. Ảnh hưởng này sẽ làm biến dạng hoàn toàn mẫu tín hiệu khiến bên thu không thể khôi phục lại được tín hiệu gốc ban đầu.

4.1.3 Nhiễu liên kênh ICI (Interchannel Interference):

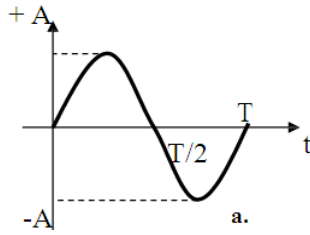
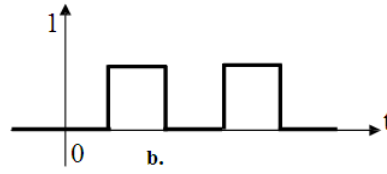
Nhiễu xuyên kênh gây ra do các thiết bị phát trên các kênh liền nhau. Nhiễu liên kênh thường xảy ra do tín hiệu truyền trên kênh vô tuyến bị dịch tần gây can nhiễu sang các kênh kề nó. Để loại bỏ nhiễu xuyên kênh người ta phải có khoảng bảo vệ (guard band) giữa các dải tần.

4.1.4 Nhiễu đồng kênh (Co-Channel Interference)

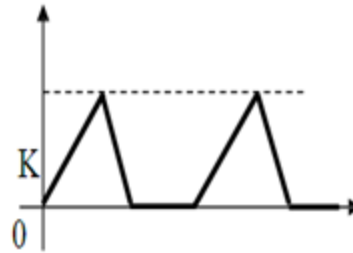
Nhiễu đồng kênh xảy ra khi cả hai máy phát trên cùng một tần số hoặc trên cùng một kênh. Máy thu điều chỉnh ở kênh này sẽ thu được cả hai tín hiệu với cường độ phụ thuộc vào vị trí của máy thu so với hai máy phát.

4.2 Các dạng xung cơ bản

- Một số tín hiệu liên tục (xem hình 1.14)

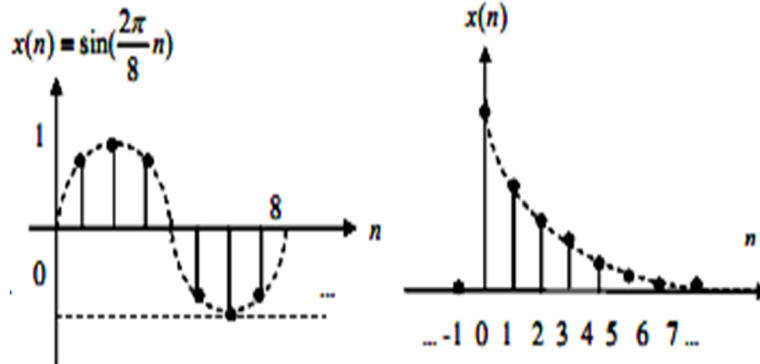
Hình 1.14a. Tín hiệu $\sin A \sin \omega t$ 

Hình 1.14b. Tín hiệu xung vuông



Hình 1.14c. Tín hiệu xung tam giác

- Một số tín hiệu rời rạc (hình 1.15).



Hình 1.15. Tín hiệu sin rời rạc - hàm mũ rời rạc

5. Thực hành.

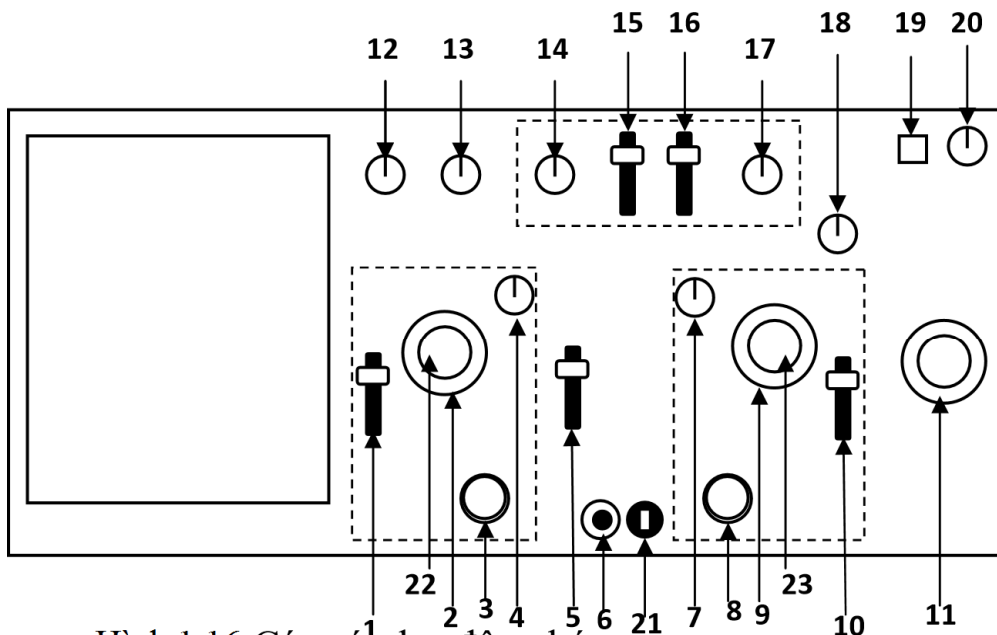
5.1. Hướng dẫn sử dụng thiết bị đo

5.1.1 Hình dạng:



5.1.2 Các nút chức năng:

Hướng dẫn sử dụng dao động ký PINTEK(PS 251)



Hình 1.16. Các nút dao động ký

Hình trên là một số nút chức năng chính của dao động ký. Các nút này có thể chia thành các khối chính.

Khối quét dọc: gồm 2 khối cho 2 kênh CHA,CHB

Kênh CHA

1: Select Input nút chọn chức năng ngõ vào có 3 vị trí AC (Alternative Coupling - chỉ biểu diễn thành phần AC), GND, DC (Direct Coupling - biểu diễn cả thành phần DC và AC)

2: Volt/div nút điều chỉnh giá trị một ô theo chiều dọc

3: ngõ vào kênh CHA

4: POS nút chỉnh tia sáng theo chiều dọc

22: CAL PULL x5MAG

Kênh CHB Các nút có chức năng tương ứng như kênh CHA nhưng được sử dụng cho kênh CHA

7: POS

8: ngõ vào kênh CHB

9: Volt/div

10: Select Input

23: CAL PULL x5MAG

Khởi quét ngang

11: Time/div nút điều chỉnh giá trị một ô theo chiều ngang

20: POS nút chỉnh tia sáng theo chiều ngang

18: VAR chỉnh chu kì quét chuẩn

Khởi Trigger

14: Trigger Level và **17: Hold off:** giữ tín hiệu trên màn hình không bị trôi theo chiều ngang

15: Coupling chọn chế độ kích. Nên chọn chế độ AUTO

16: Source chọn tín hiệu nguồn kích

Ngoài ra còn có một số nút chọn khác

12: Intensity nút điều chỉnh cường độ sáng của tia sáng

13: Focus nút điều chỉnh độ nét của tia sáng

5: Vert Mode có 4 vị trí lựa chọn

CHA: Hiển thị tia sáng trên kênh A (quan sát tín hiệu vào trên kênh A)

CHB: hiển thị tia sáng trên kênh B (quan sát tín hiệu vào trên kênh B)

DUAL: quan sát tín hiệu vào cả hai kênh CHA, CHB

ADD: hiển thị tổng đại số 2 tín hiệu trên hai kênh (CHA+CHB)

6: GND

21: CAL 2V_{P-P} cho tín hiệu sóng vuông tần số 1KHz, 2V đỉnh đỉnh

19: X-Y nút chọn chức năng biểu diễn một tín hiệu sang tín hiệu khác

5.1.3 Đọc biên độ và chu kỳ:

Quan sát dạng sóng tín hiệu trên từng kênh:

- Đưa tín hiệu vào kênh A hay B (tín hiệu đưa vào phân biệt ngõ tín hiệu và ngõ mass).
- Chọn Vert Mode(5) CHA hay CHB tùy kênh tín hiệu được đưa vào.
 - Chỉnh Input Select là GND và chỉnh vị trí tia sáng nằm giữa màn hình bằng nút POS (nút 4 cho kênh CHA hay nút 7 cho kênh CHB). Sau đó chỉnh Input Select về vị trí AC hay DC tùy theo mục đích quan sát.
- Chỉnh nút Volt/div và Time/div để tín hiệu hiện đủ trên màn hình

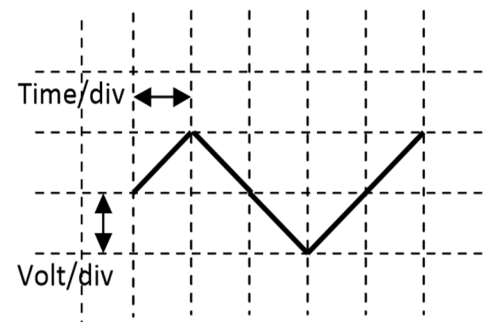
Biên độ tín hiệu = số ô * giá trị nút Volt/div

Chu kì tín hiệu = số ô * giá trị nút Time/div

5.1.4 Vẽ dạng sóng:

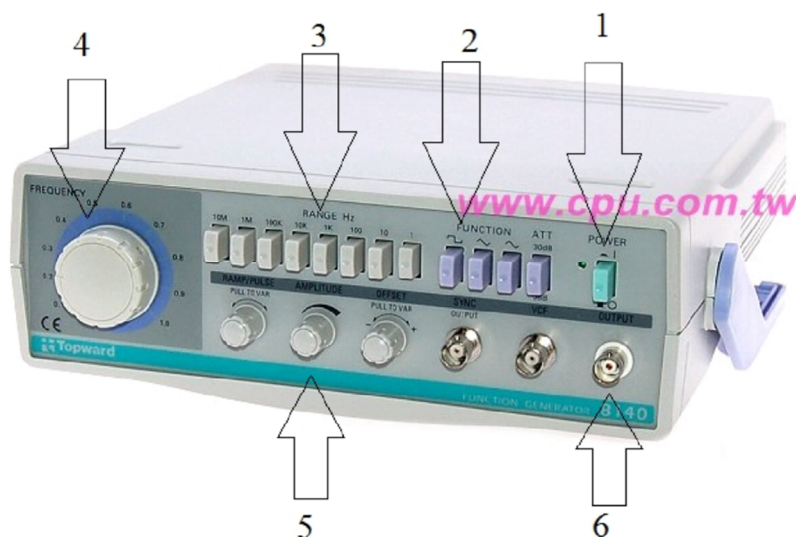
Ví dụ: như trên hình vẽ tín hiệu được đưa vào kênh CHA, nút Volt/div chọn giá trị 5 Volt/div, nút Time/div chọn giá trị 1ms thì biên độ tín hiệu là $5V/\text{ô} * 1\text{ô} = 5V$, chu kì tín hiệu là

$$1 \text{ ms}/\text{ô} * 4\text{ô} = 4\text{ms}.$$



5.2. Hướng dẫn sử dụng máy phát sóng.

5.2.1. Hình dạng:



5.2.2. Các nút chức năng:

- Số 1: POWER
Công tắc nguồn.
 - Số 2: FUNCTION
Chọn dạng sóng ra.
 - Số 3: RANGE
Chọn tần số sóng ra.
 - Số 4: FREQUENCY
Hệ số nhân tần số.
 - Số 5: AMPLITUDE
Chỉnh biên độ điện áp sóng ra.
 - Số 6: OUTPUT
Sóng ra.
- Tần số sóng ra tính theo công thức: $f = \text{FREQUENCY} * \text{RANGE}$
- Ví dụ: chọn RANGE: 1KHz, FREQUENCY: 0.8, thì sóng ra có tần số :
- $f = 0.8 * 1\text{KHz} = 0.8\text{KHz} = 800\text{Hz}.$

- Biên độ điện áp ra không thể hiện trên máy, muốn biết người dùng phải đo ở OUTPUT thông qua VOM hoặc dao động ký.

5.3. Đo, đọc các thông số cơ bản của xung

5.3.1. Xác định hình dạng, biên độ, tần số của tín hiệu

- Đọc biên độ:

$$\text{Biên độ (V)} = \text{Số ô biên độ (ô)} \times \text{Volts / div (V/ô)}$$

- Đọc chu kỳ:

$$\text{Chu kỳ (s)} = \text{Số ô chu kỳ (ô)} \times \text{Time / div (s / ô)}$$

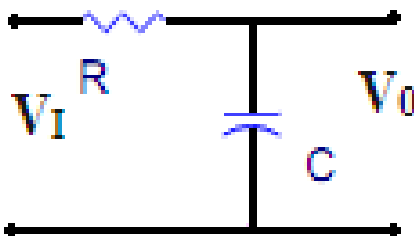
- Mỗi lần đo, điều chỉnh núm chỉnh biên độ, núm chỉnh tần số, núm chỉnh dạng điện áp ở vị trí bất kỳ rồi điền vào bảng sau:

Lần đo	Điên			Chu			Tần số (Hz)	Dạng sóng
	Số ô biên độ	Giai đo (V/ô)	Biên độ (V)	Số ô chu	Giai đo (s/ô)	Chu kỳ (s)		
1								
2								
3								
4								
5								

5.3.2. Ráp mạch tích phân dùng RC

❖ Lần 1:

- Sinh Viên mắc mạch như hình 1.17 ($R = 100\Omega$, $C = 1\mu\text{F}$)



Hình 1.17: Mạch tích phân dùng RC

- Điều chỉnh nguồn tín hiệu là xung vuông, biên độ 5V, tần số 1KHz và cấp vào

V_I của mạch trên.

- Đo và vẽ điện áp V_I (kênh 1) và V_O (kênh 2) vào bảng hình 1.18.

Kênh 1:

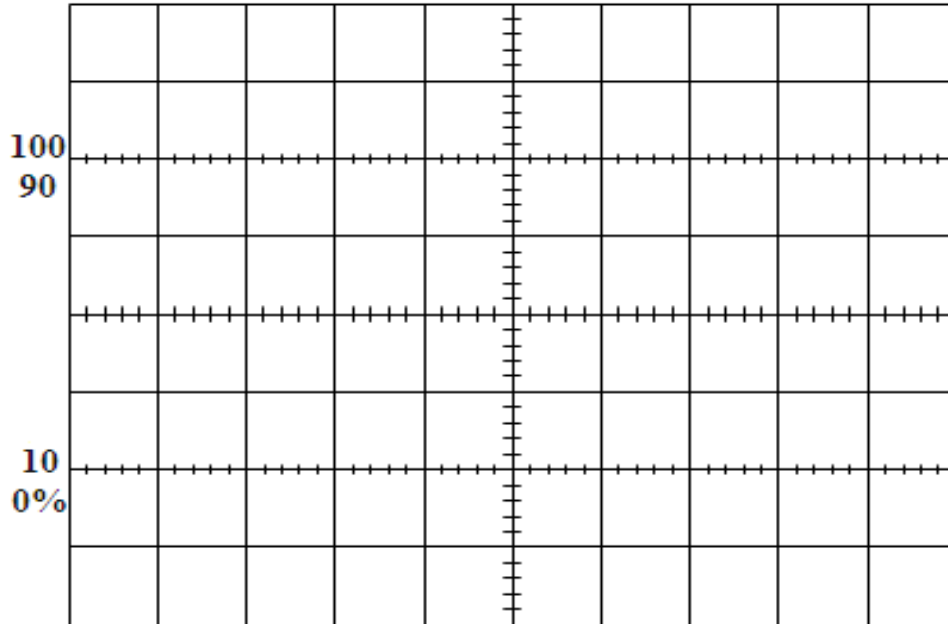
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 1.18

❖ Lần 2

- Thực hiện như lần một nhưng thay $R = 1\text{k}\Omega$, $C = 1\mu\text{F}$

- Đo và vẽ điện áp V_I (kênh 1) và V_O (kênh 2) vào hình 1.19.

Kênh 1:

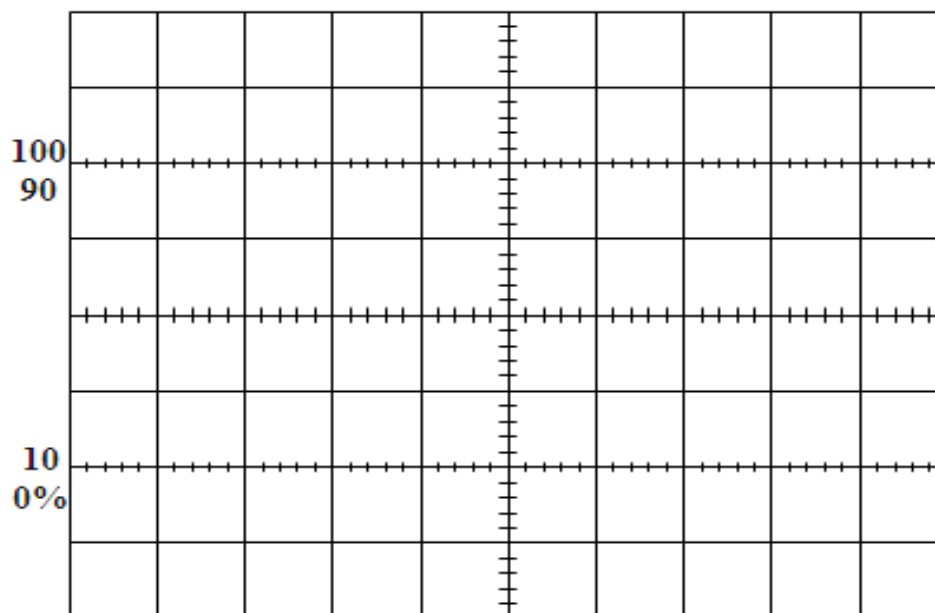
- Time/Div:

- Volts/Div:

Kênh 2:

- Time /Div

- Volts/Div



Hình 1.19

➤ **YÊU CẦU VỀ ĐÁNH GIÁ KẾT QUẢ HỌC TẬP BÀI 1**

✚ Nội dung:

+ *Về kiến thức: Trình bày được khái niệm, phân biệt sự khác nhau của các dạng tín hiệu, các hàm cơ bản của tín hiệu xung, các tham số R-L-C đối với các xung tín hiệu*

+ *Về kỹ năng: sử dụng thành thạo các dụng cụ đo để đo được các hình dạng, biên độ, tần số của tín hiệu một cách chính xác.*

+ *Về thái độ: Đảm bảo an toàn và vệ sinh công nghiệp.*

✚ Phương pháp:

+ *Về kiến thức: Được đánh giá bằng hình thức kiểm tra viết, trắc nghiệm.*

+ *Về kỹ năng: Đánh giá kỹ năng thực hiện đo được các thông số trong mạch điện theo yêu cầu của bài.*

+ *Thái độ: Tỉ mỉ, cẩn thận, chính xác, ngăn nắp trong công việc.*

BÀI 2:

MẠCH DAO ĐỘNG ĐA HÀI

Giới thiệu.

Hệ thống mạch điện tử có thể tạo ra dao động ở nhiều dạng khác nhau như: dao động hình sin (dao động điều hòa), mạch tạo xung chữ nhật, mạch tạo xung tam giác... các mạch tạo dao động xung được ứng dụng khá phổ biến trong hệ thống điều khiển, thông tin số và trong hầu hết các hệ thống điện tử số.

Trong kỹ thuật xung, để tạo các dao động không sin, người ta thường dùng các bộ dao động tích thoát. Dao động tích thoát là các dao động rời rạc, bởi vì hàm của dòng điện hoặc điện áp theo thời gian có phân gián đoạn. Về mặt vật lý, trong các bộ dao động sin, ngoài các linh kiện điện tử còn có hai phần tử phản kháng L và C để tạo dao động, trong đó xảy ra quá trình trao đổi năng lượng một cách luân lượt giữa năng lượng từ trường tích lũy trong cuộn dây và năng lượng điện trường tích lũy trong tụ điện, sau mỗi chu kỳ dao động, năng lượng tích lũy trong các phần tử phản kháng bị tiêu hao bởi phần tử điện trở tổn hao của mạch dao động, thực tế lượng tiêu hao này rất nhỏ. Ngược lại trong các bộ dao động tích thoát chỉ chứa một phần tử tích lũy năng lượng, mà thường gặp nhất là tụ điện.

Các bộ dao động tích thoát thường được sử dụng để tạo các xung vuông có độ rộng khác nhau và có thể làm việc ở các chế độ sau: chế độ tự dao động, kích thích từ ngoài. Dao động đa hài là một loại dạng mạch dao động tích thoát, nó là mạch tạo xung vuông cơ bản nhất các dạng đa hài thường gặp trong kỹ thuật xung.

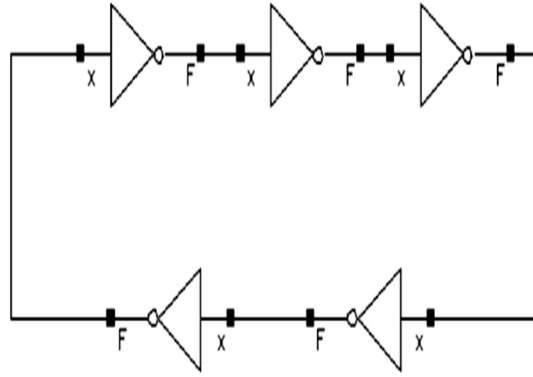
Mục tiêu:

- Trình bày được cấu tạo, nguyên lý hoạt động các mạch dao động đa hài.
- Nêu được các ứng dụng của mạch đa hài trong kỹ thuật
- Lắp ráp, sửa chữa, đo kiểm được các mạch dao động đa hài đúng yêu cầu kỹ thuật.
- Rèn luyện tính tư duy, sáng tạo và đảm bảo an toàn trong quá trình học tập.

Nội dung:

1. Mạch dao động đa hài không ổn dùng cổng logic.

Mạch đa hài không ổn đơn giản sử dụng cổng đảo là mạch Ring oscillator bao gồm N cổng đảo được ghép nối tiếp như hình 2.1 (với N lẻ)



Hình 2.1: Mạch đa hài không ổn Ring oscillator

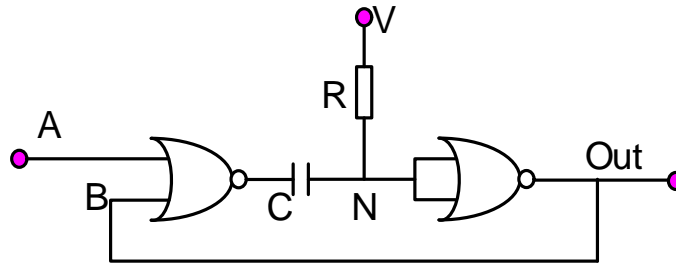
Chu kỳ T được tính như sau: $T = 2N t_{pd}$

Trong đó: - t_{pd} : là thời gian trễ

Với giả sử rằng thời gian trễ của xung lên và xuống của cổng đảo là bằng nhau và bằng t_{pd} . Vì t_{pd} có thể thay đổi theo nhiệt độ, nhà chế tạo nên chu kỳ T trên có thể thay đổi.

2. Mạch đa hài đơn ổn dùng cổng logic.

Mục tiêu: Trình bày và phân tích mạch đa hài đơn ổn dùng cổng Logic.



Hình 2.2: Mạch đa hài đơn ổn dùng cổng logic

Mạch có một trạng thái ổn định bền là khi không tác động xung ở lối vào $A = 0$ thì lối ra $Out = 0$.

Khi có một xung dương lối vào $A = 1, B = 0$. tương ứng qua mạch NOR ta có lối ra $Out = 0$, qua mạch RC tạo thành mạch tích phân RC, khi đó điện áp trên tụ tăng dần (tụ được nạp điện từ $+V$ qua R qua C xuống đất) và điện áp trên tụ như sau:

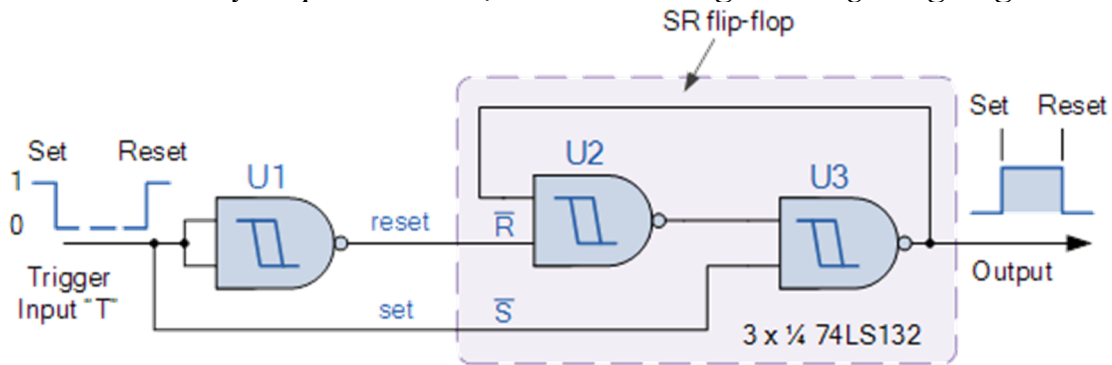
$$u_C = V(1 - \exp(-t/RC)) \text{ khi đó } u_N = 0 \text{ và lối ra } Out = 1.$$

Lúc đó tụ được nạp điện và điện áp trên tụ C tăng dần, khi điện áp trên tụ C tăng $U_C \geq U_H$ thì lối ra lật trạng thái từ $Out = 1$ sang lối ra $Out = 0$ ($U_{Ra} = U_L$).

Khi kết thúc xung lỗi vào $A = 0$, và $B = U_{ra} = 0$ (U_L) khi đó mạch sẽ giữ nguyên trạng thái ổn định chờ xung tiếp theo ở lối vào A.

3. Mạch đa hài lưỡng ổn dùng cổng logic.

Mục tiêu: Trình bày và phân tích mạch đa hài lưỡng ổn dùng cổng Logic.

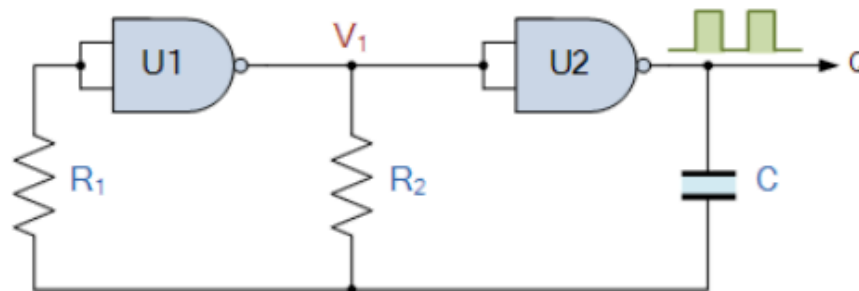


Hình 2.3

Mạch U2 và U3 tạo thành mạch SET/RESET tác động mức thấp. Khi ngõ vào chuyển trạng thái từ mức cao xuống mức thấp, ngõ ra mạch chốt U1 chuyển sang trạng thái RESET = 1 và SET = 0. Khi đó ngõ ra Output sẽ lên mức 1 (SET). Khi chuyển đổi trạng thái ngõ vào từ mức thấp sang mức cao, ngõ ra U1 chuyển sang mức thấp, hay chân RESET = 0 và chân SET = 1. Khi đó ngõ ra Output chuyển sang trạng thái mức 1 (RESET).

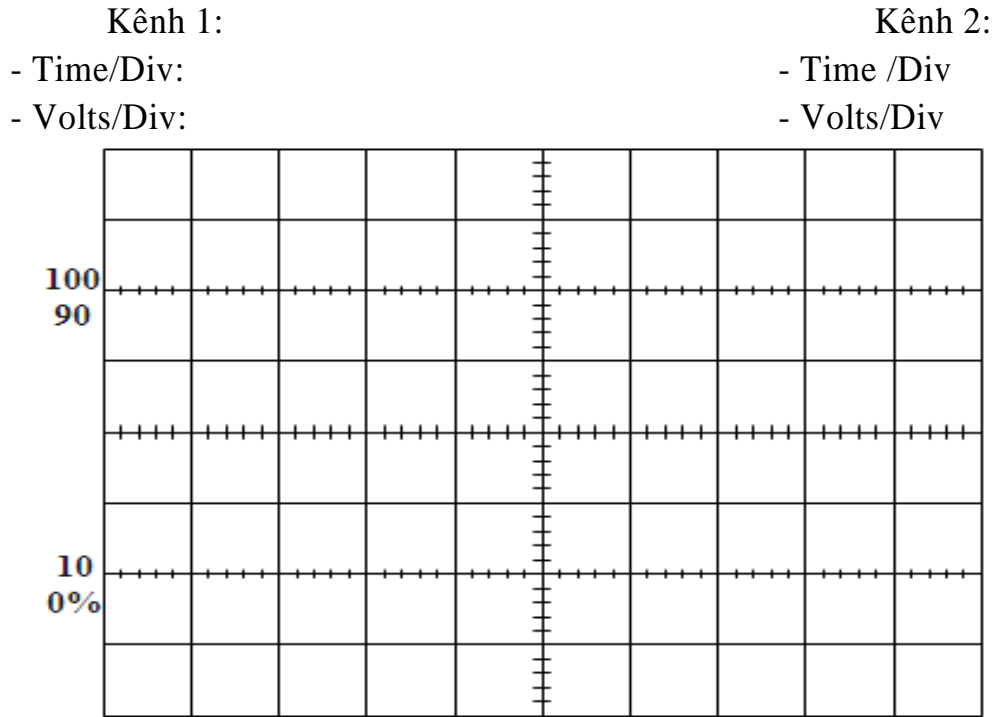
4. Thực hành:

4.1. Ráp mạch dao động đa hài không ổn dùng cổng logic



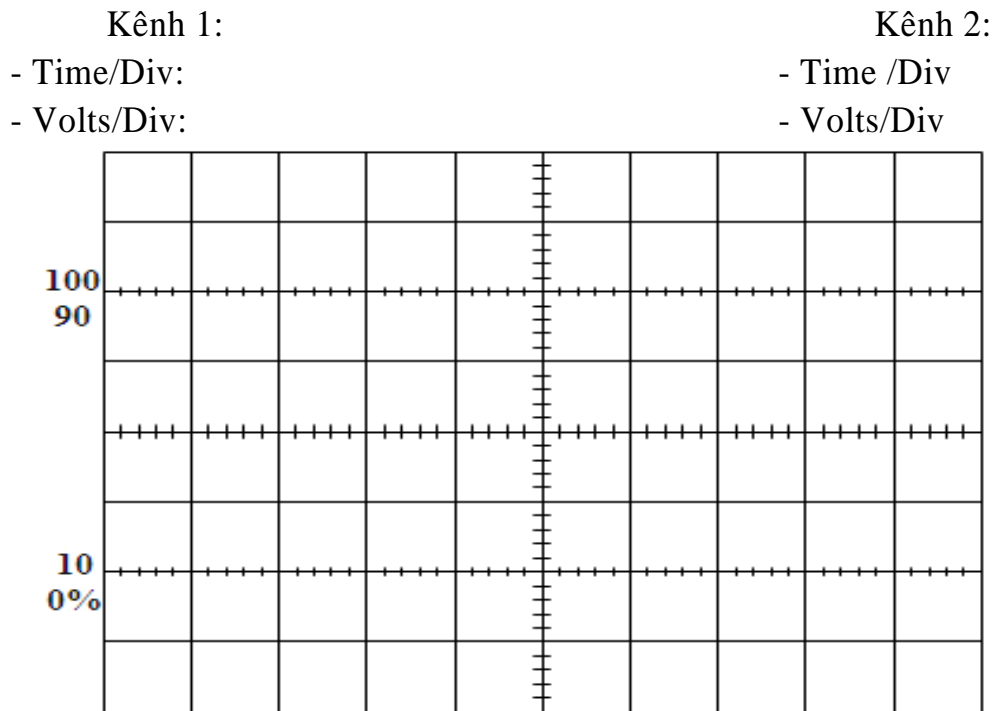
Hình 2.4

- Ráp mạch dao động đa hài đơn ổn dùng cổng logic như hình 2.4. Sử dụng IC 7400 dùng cho cổng NAND.
- Bước 1: với $R_2 = 1K\Omega$, $C = 1\mu F$. Quan sát, đo dạng sóng tại V1 và ngõ ra Q. Đo và vẽ dạng sóng tại V1 (kênh 1) và ngõ ra Q (kênh 2).



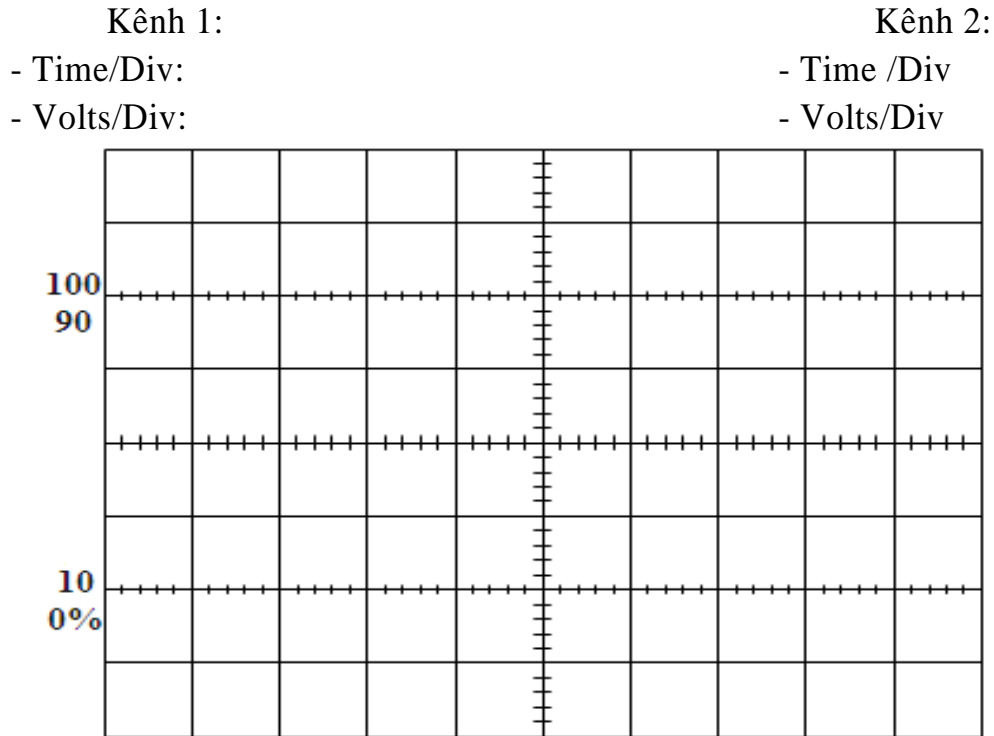
Hình 2.5

- Bước 2: với $R_2=1K\Omega$, $C=0.1\mu F$. Quan sát, đo dạng sóng tại V1 và ngõ ra Q. Đo và vẽ dạng sóng tại V1 (kênh 1) và ngõ ra Q (kênh 2).



Hình 2.6

- Bước 3: với $R_2=1K\Omega$, $C=10\mu F$. Quan sát, đo dạng sóng tại V1 và ngõ ra Q. Đo và vẽ dạng sóng tại V1 (kênh 1) và ngõ ra Q (kênh 2).



Hình 2.7

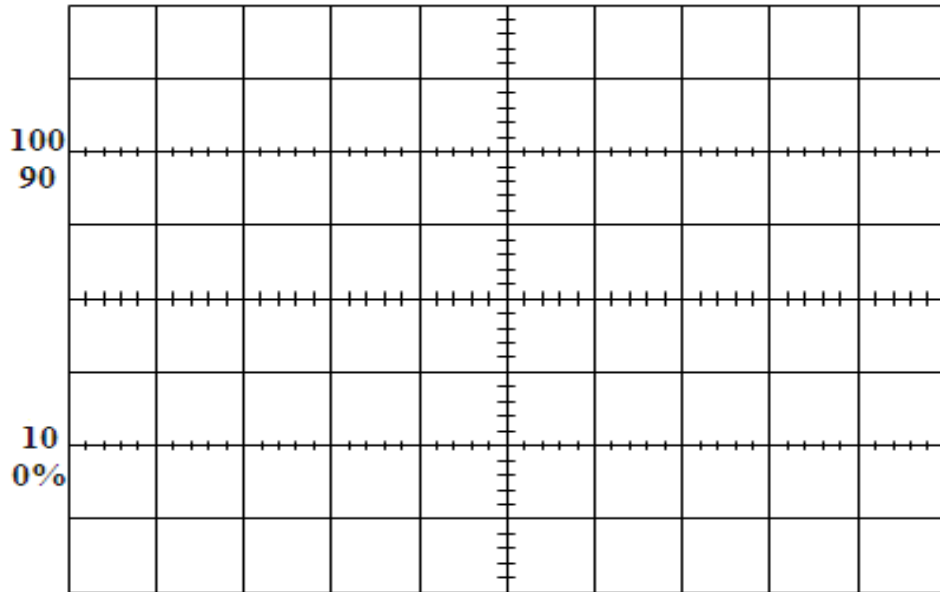
- Bước 4. So sánh và nhận xét các kết quả ngõ ra ở các bước 1, 2, 3.

4.2. Ráp mạch dao động đa hài đơn ổn dùng cổng logic

- Ráp mạch dao động đa hài đơn ổn dùng cổng logic như hình 2.2. Sử dụng IC 7402 dùng cho cổng NOR.

- Bước 1: với $R=1K\Omega$, $C=1\mu F$, đặt tín hiệu mức 1 (tương ứng 5V vào ngõ vào A). Quan sát ghi nhận tín hiệu ngõ ra. Xoá mức tín hiệu ngõ vào A xuống 0 (tương ứng 0V). Quan sát ghi nhận tín hiệu ngõ ra. Đo và vẽ dạng sóng tại ngõ vào A (kênh 1) và ngõ ra out (kênh 2).

Kênh 1: - Time/Div: - Volts/Div:	Kênh 2: - Time /Div - Volts/Div
--	---------------------------------------



Hình 2.8

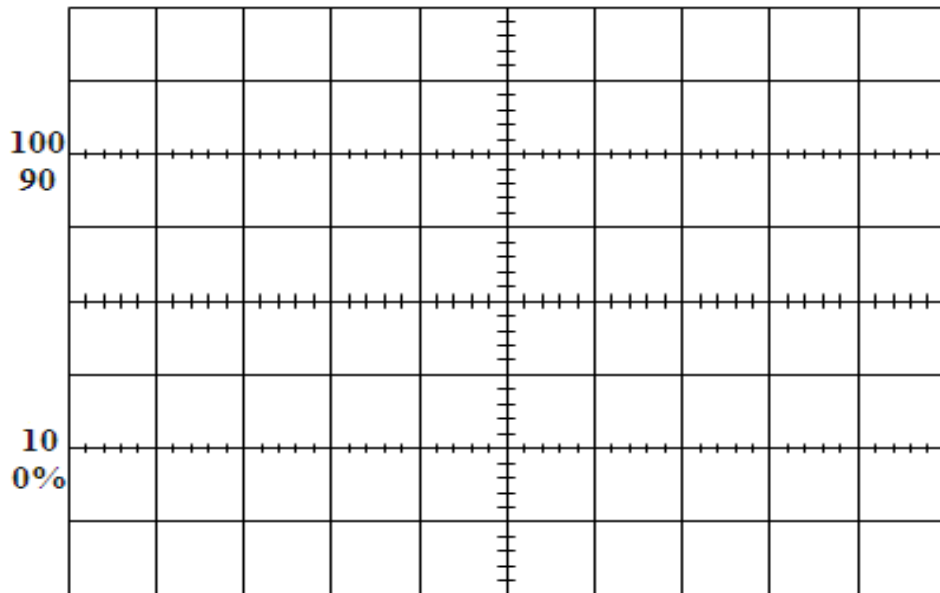
- Bước 2: với $R=1K\Omega$, $C=0.1\mu F$, đặt tín hiệu mức 1 (tương ứng 5V vào ngõ vào A). Quan sát ghi nhận tín hiệu ngõ ra. Xoá mức tín hiệu ngõ vào A xuống 0 (tương ứng 0V). Quan sát ghi nhận tín hiệu ngõ ra. Đo và vẽ dạng sóng tại ngõ vào A (kênh 1) và ngõ ra out (kênh 2).

Kênh 1:

- Time/Div:
- Volts/Div:

Kênh 2:

- Time /Div
- Volts/Div

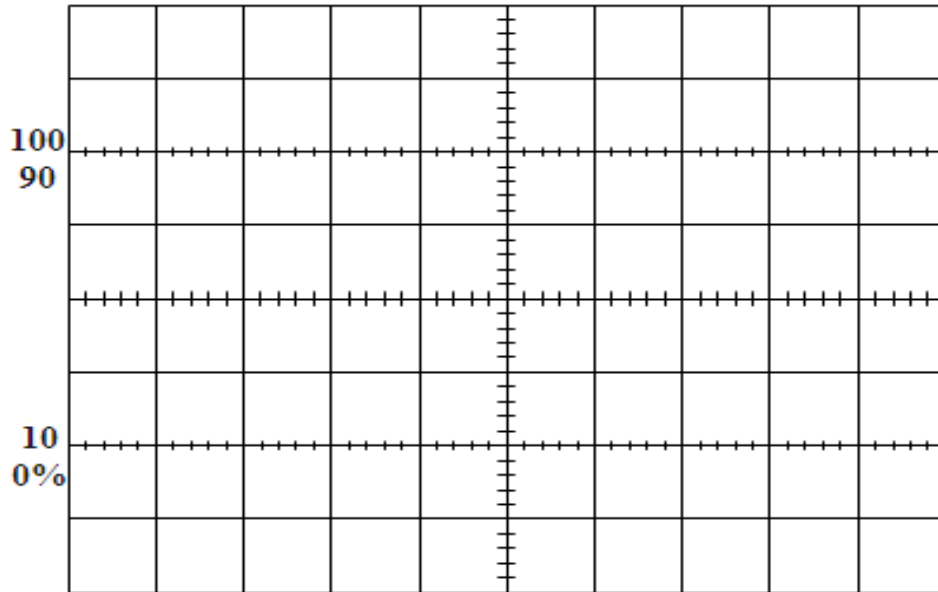


Hình 2.9

- Bước 3: với $R=1K\Omega$, $C=10\mu F$, đặt tín hiệu mức 1 (tương ứng 5V vào ngõ vào A). Quan sát ghi nhận tín hiệu ngõ ra. Xoá mức tín hiệu ngõ vào A xuống 0 (tương ứng 0V). Quan sát ghi nhận tín hiệu ngõ ra. Đo và vẽ dạng sóng tại ngõ vào A (kênh 1) và ngõ ra out (kênh 2).

0 (tương ứng 0V). Quan sát ghi nhận tín hiệu ngõ ra. Đo và vẽ dạng sóng tại ngõ vào A (kênh 1) và ngõ ra out (kênh 2).

- | | |
|--------------|-------------|
| Kênh 1: | Kênh 2: |
| - Time/Div: | - Time /Div |
| - Volts/Div: | - Volts/Div |



Hình 2.10

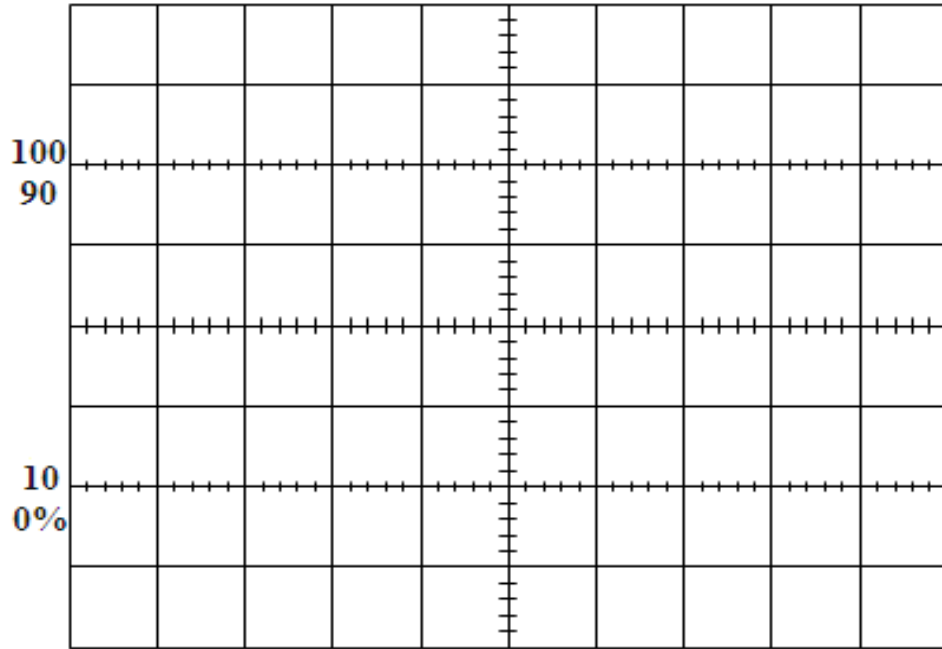
- Bước 4. So sánh và nhận xét các kết quả ngõ ra ở các bước 1, 2, 3.

4.3. Ráp mạch lưỡng ổn dùng cổng logic

- Ráp mạch dao động đa hài đơn ổn dùng cổng logic như hình 2.3. Sử dụng IC 7400 dùng cho cổng NAND.

- Bước 1: Tác động chuyển đổi trạng thái ngõ vào từ mức cao xuống mức thấp. Quan sát, đo dạng sóng tại ngõ vào và ngõ ra. Đo và vẽ dạng sóng tại ngõ vào (kênh 1) và ngõ ra (kênh 2).

- | | |
|--------------|-------------|
| Kênh 1: | Kênh 2: |
| - Time/Div: | - Time /Div |
| - Volts/Div: | - Volts/Div |



Hình 2.11

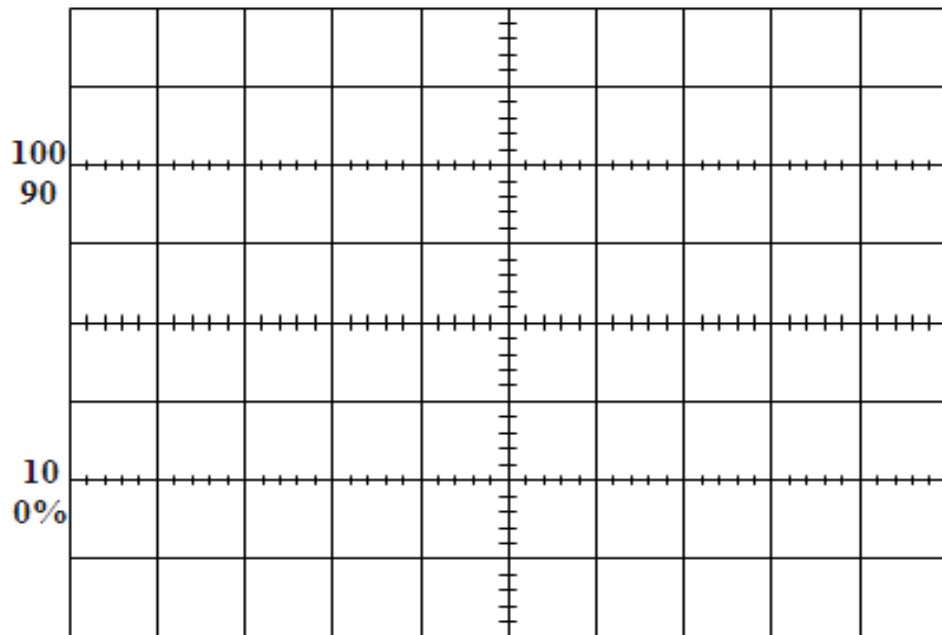
- Bước 2: Tác động chuyển đổi trạng thái ngõ vào từ mức thấp lên mức cao. Quan sát, đo dạng sóng tại ngõ vào và ngõ ra. Đo và vẽ dạng sóng tại ngõ vào (kênh 1) và ngõ ra (kênh 2).

Kênh 1:

- Time/Div:
- Volts/Div:

Kênh 2:

- Time /Div
- Volts/Div



Hình 2.12

➤ YÊU CẦU VỀ ĐÁNH GIÁ KẾT QUẢ HỌC TẬP BÀI 2

+ Nội dung:

+ Về kiến thức: Trình bày được khái niệm, phân biệt sự khác nhau của các mạch đa hài bất ổn - đơn ổn – lưỡng ổn, mạch schmitt trigger, ...

+ Về kỹ năng: sử dụng thành thạo các dụng cụ đo để đo được các hình dạng, biên độ, tần số của mạch đa hài và schmitt trigger một cách chính xác.

+ Về thái độ: Đảm bảo an toàn và vệ sinh công nghiệp.

+ Phương pháp:

+ Về kiến thức: Được đánh giá bằng hình thức kiểm tra viết, trắc nghiệm.

+ Về kỹ năng: Đánh giá kỹ năng thực hiện đo được các thông số trong mạch điện theo yêu cầu của bài.

+ Thái độ: Tỉ mỉ, cẩn thận, chính xác, ngăn nắp trong công việc.

Phần 2: KỸ THUẬT SỐ

BÀI 1:

ĐẠI CƯƠNG

Giới thiệu

Trong khoa học, công nghệ hay cuộc sống đời thường, ta thường xuyên phải tiếp xúc với số lượng. Số lượng có thể đo, quản lý, ghi chép, tính toán nhằm giúp cho các xử lý, ước đoán trở nên ít phức tạp hơn.

- Có 2 cách biểu diễn số lượng:

Dạng tương tự (Analog) và Dạng số (Digital)

- Dạng tương tự:

Ví dụ: Nhiệt độ, tốc độ, điện thế của đầu ra micro... Là dạng biểu diễn với sự biến đổi liên tục của các giá trị.

- Dạng số:

Ví dụ: Thời gian hiện trên đồng hồ điện tử. Là dạng biểu diễn trong đó các giá trị thay đổi từng nấc rời rạc.

Mục tiêu:

- Trình bày được các khái niệm cơ bản về mạch tương tự và mạch số.
- Trình bày được cấu trúc của hệ thống số và mã số.
- Trình bày được cấu tạo, nguyên lý hoạt động của các cổng logic cơ bản.
- Trình bày được các định luật cơ bản về kỹ thuật số, các biểu thức toán học của số
- Chủ động, sáng tạo và đảm bảo trong quá trình học tập

Nội dung:

1. Tổng quan về mạch tương tự và mạch số

- Mục tiêu: Phân biệt được tín hiệu tương tự và tín hiệu số, ưu nhược điểm của chúng.

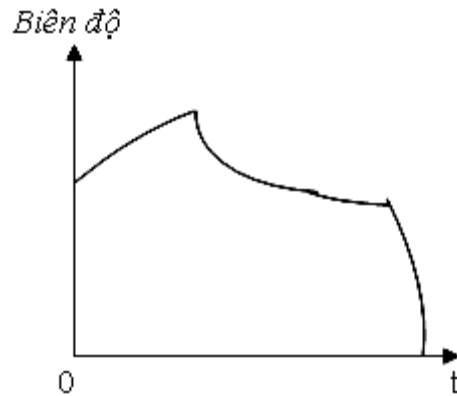
1.1 Định nghĩa

-Tín hiệu

Tín hiệu là biến thiên của biên độ, thường là điện áp hay dòng điện theo thời gian. Đường biểu diễn của tín hiệu là dạng sóng.

- Tín hiệu tương tự

Tín hiệu tương tự là tín hiệu có biên độ liên tục theo thời gian. Trong thực tế các đại lượng vật lý như vận tốc, nhiệt độ môi trường, tiếng nói... đều là tín hiệu tương tự.

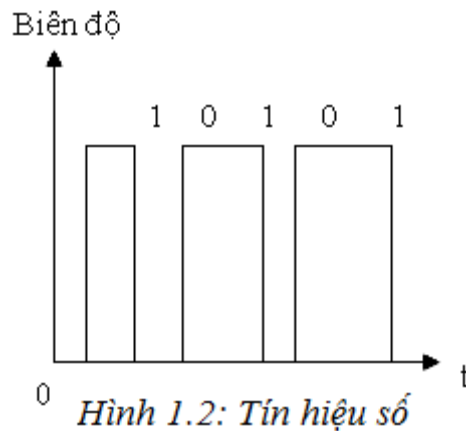


Hình 1.1: Tín hiệu tương tự

Trong kỹ thuật điện tử mạch tương tự là mạch xử lý các tín hiệu tương tự có dạng như hình vẽ có nghĩa là trong cùng một khoảng thời gian xác định mạch phải xử lý n mức tín hiệu khác nhau

- Tín hiệu số

Tín hiệu số là tín hiệu có biên độ gián đoạn theo thời gian. Biên độ chỉ có hai mức như hình vẽ, mức (1) đại diện cho biên độ cao, mức (0) đại diện cho biên độ thấp.



Hình 1.2: Tín hiệu số

Mạch số chỉ xử lý hai mức tín hiệu 0 hoặc 1 trong cùng một khoảng thời gian mà thôi.

1.2 Ưu và nhược điểm của kỹ thuật số so với kỹ thuật tương tự

Kỹ thuật số có nhiều ưu điểm so với kỹ thuật mạch tương tự khiến cho kỹ thuật số ngày càng phổ biến ở gần như hầu hết các lĩnh vực như: đo lường, điều

khiến tính toán, thông tin... Tuy nhiên kỹ thuật mạch tương tự cũng có những đặc tính riêng mà mạch số không thể thay thế.

❖ *Ưu điểm:*

Nhìn chung thiết bị số dễ thiết kế hơn: Đó là do mạch được sử dụng các vi mạch chuyên dùng đã được thiết kế với chức năng định trước. Khả năng chống nhiễu và sự méo dạng cao: Do đặc thù của hệ thống là chỉ xử lý hai mức tín hiệu 1 và 0 và thời gian chuyển tiếp giữa chúng là rất nhanh nên khả năng chống nhiễu rất cao, hơn nữa biên độ của tín hiệu nhiễu không đủ khả năng làm thay đổi giữa hai mức tín hiệu từ 0 sang 1 và ngược lại từ 1 sang 0. Trong khi đó ở thiết bị tương tự độ chính xác bị giới hạn vì mạch phải xử lý các tín hiệu liên tục theo thời gian, hơn nữa các linh kiện sử dụng không thực sự tuyến tính.

Do đó biên độ của tín hiệu nhiễu dễ dàng xâm nhập vào hệ thống và làm mất tính ổn định của hệ thống.

Lưu trữ và truy cập dễ dàng, nhanh chóng: Do tín hiệu số chỉ có hai mức nên việc lưu trữ ở những môi trường khác nhau (bộ nhớ bán dẫn, băng từ...) và truy cập rất thuận tiện.

Độ chính xác và độ phân giải cao: Trong việc đo đạc thời gian, tần số, điện thế v.v... kỹ thuật số cho độ chính xác và độ phân giải cao hơn kỹ thuật tương tự.

Có thể lập trình hoạt động của hệ thống kỹ thuật số: Hoạt động của hệ thống kỹ thuật có thể điều khiển theo một qui luật định trước bằng một tập lệnh gọi là chương trình. Cùng với việc ra đời của các vi xử lý và vi điều khiển làm cho việc tự động điều khiển hệ thống trở nên dễ dàng hơn.

❖ *Nhược điểm:*

Hầu hết các đại lượng vật lý đều mang bản chất của tín hiệu tương tự. Chính những đại lượng này thường là đầu vào và đầu ra của các hệ thống điều khiển. Ví dụ như các đại lượng nhiệt độ, áp suất, lưu lượng, vận tốc... Phân tích các đại lượng này theo thời gian đó chính là các đại lượng tương tự.

Trong kỹ thuật người ta thường phải thực hiện biến đổi từ tín hiệu tương tự sang tín hiệu số và ngược lại. Điều này làm cho thiết bị thêm phức tạp và giá thành cao hơn. Tuy nhiên những bất lợi này bị lấn lướt bởi ưu điểm của kỹ thuật số nên việc chuyển đổi qua lại giữa kỹ thuật số và kỹ thuật tương tự là việc cần thiết và trở nên phổ biến trong công nghệ ngày nay.

Để tận dụng được những ưu điểm của kỹ thuật số và kỹ thuật tương tự người ta sử dụng cả hai loại vào trong một hệ thống. Ở những hệ thống này khâu thiết kế cần quyết định khâu nào dùng kỹ thuật tương tự và khâu nào dùng kỹ thuật số.

2 . Hệ thống số và mã số

- Mục tiêu: Phân biệt và chuyển đổi giữa các hệ thống số với nhau, ưu và nhược điểm của hệ thống mã số.

2.1 Hệ thống số thập phân (Decimal system)

Trong hệ thập phân người ta sử dụng 10 ký tự từ 0 đến 9 kết hợp với các dấu chấm, dấu phẩy để chỉ về lượng:

Trong dãy số thập phân: $d_{n-1}...d_2d_1d_0$ theo qui ước từ phải qua trái vị trí của chúng thể hiện hàng đơn vị, hàng chục, hàng trăm, hàng nghìn . . . với phần nguyên và ngược lại từ trái qua phải là phần chục, phần trăm, phần nghìn . . . đối với phần lẻ sau dấu phẩy.

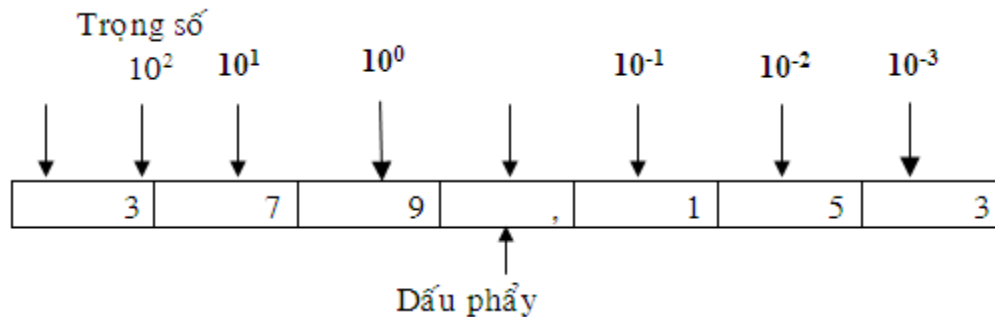
Ví dụ: Hình 1.3, cho số thập phân 379,153 với phần nguyên là 379 và phần lẻ là 153 được biểu diễn như sau:

$$- 379,153_{10} = 3.10^2 + 7.10^1 + 9.10^0 + 1.10^{-1} + 5.10^{-2} + 3.10^{-3}$$

$$- 1999_{10} = 1.10^3 + 9.10^2 + 9.10^1 + 9.10^0 = 1000 + 900 + 90 + 9$$

$$- 1,25 = 1.10^0 + 2.10^{-1} + 5.10^{-2} = 1,00 + 0,2 + 0,05 = 3,625_{10}$$

Nói tóm lại bất kì số nào cũng là tổng các tích giữa giá trị của mỗi chữ số với giá trị (gọi là trọng số) của nó.



Hình 1.3

Đối với một dãy số thập phân có n số hạng thì có 10^n giá trị và giữa hai giá trị liền kề nhau chênh lệch nhau 10 lần

2.2 Hệ thống số nhị phân (Binary system)

- Ký tự số : 0,1

- Cơ số: 2

Để biểu diễn số nhị phân người ta dùng hai kí số (digit) 0 và 1 để diễn tả về lượng của một đại lượng nào đó. Một dãy số nhị phân chỉ tính phần nguyên được biểu diễn như sau:

$$\mathbf{b_{n-1}b_{n-2} \dots b_2b_1b_0}$$

Qui ước mỗi số hạng là một bit. Bit tận cùng bên trái gọi là MSB (tức là bit có giá trị lớn nhất) và bit ở tận cùng bên phải gọi là LSB (tức là bit có giá trị nhỏ nhất).

Như vậy số nhị phân có n bit thì sẽ có 2^n giá trị khác nhau. Giá trị nhỏ nhất là 0...000 và giá trị lớn nhất là 1...111. Trọng số các bit từ thấp đến cao lần lượt là 1, 2, 4, 8 và giữa hai bit kề nhau chênh lệch nhau 2 lần.

Ví dụ: Số nhị phân $10101_2 = 1.2^4 + 0.2^3 + 1.2^2 + 0.2^1 + 1.2^0$

$$= 11,101_2 = 1.2^1 + 1.2^0 + 1.2^{-1} + 0.2^{-2} + 1.2^{-3}$$

❖ **Chuyển đổi từ số nhị phân sang thập phân.**

Quy tắc chuyển như sau:

$$\mathbf{b_{n-1}b_{n-2} \dots b_2b_1b_0 = b_{n-1}.2^{n-1} + b_{n-2}.2^{n-2} \dots b_2.2^2 + b_1.2^1 + b_0.2^0}$$

Ví dụ: Chuyển đổi số nhị phân sau sang số thập phân.

a) 100111

b) 11,1010

Giải

$$\begin{aligned} \text{a) } 100111_2 &= 1.2^5 + 0.2^4 + 0.2^3 + 1.2^2 + 1.2^1 + 1.2^0 \\ &= 32 + 0 + 0 + 4 + 2 + 1 = 39_{10} \end{aligned}$$

$$\begin{aligned} \text{b) } 11,1010_2 &= 1.2^1 + 1.2^0 + 1.2^{-1} + 0.2^{-2} + 1.2^{-3} + 0.2^{-4} \\ &= 2 + 1 + 1/2 + 1/8 \end{aligned}$$

❖ **Chuyển đổi từ số thập phân sang nhị phân.**

Quy tắc chuyển như sau:

Sử dụng qui tắc chia 2 liên tiếp số A_{10} và lấy phần dư

- Phần dư đầu tiên của phép chia là bit LSB
- Phần dư cuối cùng của phép chia là bit MSB

Ví dụ: Chuyển số thập phân $A_{10} = 20$ sang số nhị phân

Việc chuyển đổi được tiến hành như sau:

$$\begin{array}{l} 40/2 = 20 + \text{dư } 1 \text{ (LSB)} \\ 20/2 = 10 + \text{dư } 0 \\ 10/2 = 5 + \text{dư } 0 \\ 5/2 = 2 + \text{dư } 1 \\ 2/2 = 1 + \text{dư } 0 \text{ (MSB)} \end{array} \quad \uparrow$$

Kết quả: $A_2 = 01001$

2.3 Hệ thống số bát phân (Octal system)

- Ký tự số : 0,1,2,3,4,5,6,7

- Cơ số: 8

Trong hệ thống số bát phân người ta dùng các số từ 0 đến 7 để mô tả về lượng của một đại lượng và cũng theo luật vị trí trọng số của 8^m ($m = \dots, -2, -1, 0, 1, 2, \dots$). Một dãy số octal được biểu diễn như sau: $0_{n-1}0_{n-2} \dots 0_20_10_0$

Trong đó một dãy số bát phân có n số hạng thì sẽ có 8^n giá trị khác nhau, giá trị thấp nhất là $0 \dots 000$ và giá trị lớn nhất là $7 \dots 777$. Trọng số các bit từ thấp đến cao lần lượt là 1, 8, 64. . . và giữa hai số liền kề nhau chênh lệch nhau 8 lần

❖ **Chuyển đổi từ bát phân sang thập phân**

Quy tắc chuyển như sau:

$$0_{n-1}0_{n-2} \dots 0_20_10_0$$

❖ **Chuyển đổi số thập phân sang biểu diễn số bát phân**

Quy tắc chuyển như sau:

Để thực hiện chuyển từ A_{10} sang A_8 ta thực hiện phép chia của A_{10} cho A_8 rồi lấy phần dư

Ví dụ: Cho $A_{10} = 435$ hãy tìm $A_8 = ?$

Giải

$$\text{Ta có: } 435/8 = 54 + \text{ dư } 3 \text{ (LSO)}$$

$$54/8 = 6 + \text{ dư } 6$$

$$6/8 = 0 + \text{ dư } 6 \text{ (MSO)}$$

Kết quả: $A_8 = 663$

❖ **Chuyển đổi một số bát phân sang số nhị phân**

Để thực hiện chuyển đổi ta thay thế một ký tự số bằng một số nhị phân 3 bit tương ứng theo bảng sau:

ký tự số bát phân	0	1	2	3	4	5	6	7
Nhóm nhị phân	000	001	010	011	100	101	110	111

Ví dụ: $-47_8 = 100111010_2$; $10_8 = 001000_2$;

$$- \begin{array}{ccc} 3 & 4 & 5_8 = 11100101_2, \\ \updownarrow & \updownarrow & \updownarrow \\ 011 & 100 & 101 \end{array} \quad \begin{array}{ccc} 1 & 3 & 7_8 = 1011111_2 \\ \updownarrow & \updownarrow & \updownarrow \\ 011 & 011 & 111 \end{array}$$

2.4 Hệ thống số thập lục phân (Hexadecimal system)

- Ký tự số : 0,1,2,3,4,5,6,7,8,9,A,B,C,D,E,F

- Cơ số: 16

Hệ HEX sử dụng 16 kí tự bao gồm 10 số tự nhiên từ 0 đến 9 và các chữ cái in hoa gồm A, B, C, D, E, F để diễn tả 16 số thập phân từ 0 đến 15.

Lý do dùng hệ thập lục phân là vì một số nhị phân 4 bit có thể diễn tả được $2^4 = 16$ giá trị khác nhau nên rất thuận lợi cho hệ thống số nào đó chỉ dùng một ký tự mà có thể tương ứng với số nhị phân 4 bit, đó là hệ thập lục phân.

Một dãy Hex được biểu diễn như sau: $h_{n-1}h_{n-2} \dots h_2h_1h_0$

Như vậy trong dãy số Hex có n số hạng thì sẽ có 16^n giá trị khác nhau, giá trị nhỏ nhất là 0...000 và giá trị lớn nhất là F...FFF. Trọng số các bit lần lượt là 1, 16, 256... và trọng số của hai số hạng kề nhau chênh lệch nhau 16 lần.

❖ Chuyển đổi số thập lục phân sang số thập phân

Ví dụ: $2E_{16} = 2.16^1 + 14.16^0 = 46_{10}$

$$012C, D_{16} = 0.16^3 + 1.16^2 + 2.16^1 + 12.16^0 + 13.16^{-1} \\ = 0 + 256 + 32 + 12 + 0,0625 = 300,065_{10}$$

Ghi chú: nếu số thập lục phân bắt đầu bằng chữ thì khi viết phải thêm số 0 vào trước, ví dụ: EF → 0EF.

❖ Chuyển đổi số thập phân sang số thập lục phân

- Thực hiện theo quy tắc lấy A_{10} chia cho A_{16} rồi lấy phần dư

Ví dụ: Cho $A_{10} = 5001$ tìm $A_{16} = ?$

Giải

$$\text{Ta có: } 5001/16 = 312 + \text{dư } 9$$

$$312/16 = 19 + \text{dư } 8$$

$$19/16 = 1 + \text{dư } 3$$

$$1/16 = 0 + \text{dư } 1$$

Kết quả: $A_{16} = 1389$

❖ Chuyển đổi thập lục phân sang biểu diễn số nhị phân

- Thực hiện theo quy tắc biểu diễn một ký số thập lục phân bằng một nhóm tổ hợp 4 bit nhị phân

Ví dụ: Với $A_{16} = 4EFB$ suy ra $A_2 = 0100\ 1110\ 1111\ 1011$

Với $A_{16} = BCD2$ suy ra $A_2 = 1011\ 1100\ 1101\ 0010$

- Bảng TT01.1 mô tả quan hệ giữa hệ thập phân, thập lục phân và nhị phân 4

bit

Bảng TT01.1

Thập phân	Thập lục phân	Nhị phân
0	0	0000
1	1	0001
2	2	0010
3	3	0011

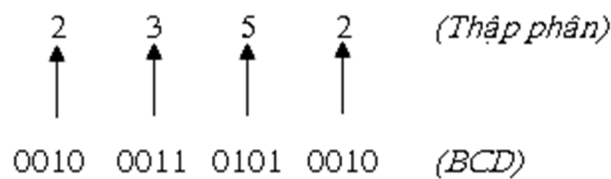
4	4	0100
5	5	0101
6	6	0110
7	7	0111
8	8	1000
9	9	1001
10	A	1010
11	B	1011
12	C	1100
13	D	1101
14	E	1110
15	F	1111

2.5 Mã BCD (Binary code decimal)

Thông tin được xử lý trên mạch số điều là các số nhị phân nên mọi thông tin dữ liệu dù là số lượng, các chữ, các dấu, các mệnh lệnh sau cùng phải ở dạng nhị phân thì mạch số mới hiểu và xử lý được. Do đó phải qui định cách thức mà các số nhị phân dùng để biểu diễn các dữ liệu khác nhau từ đó xuất hiện các mã số. Trước tiên mã thập phân thông dụng nhất là mã BCD (Binary code decimal: mã của số thập phân được mã hóa theo số nhị phân).

Vì ký số thập phân lớn nhất là 9 nên ta cần 4 bit để mã hóa mỗi ký số thập phân

Ví dụ: Để minh họa mã BCD ta tiến hành mã hóa số thập phân 2352 sang mã BCD. Trong đó mỗi ký số của hệ thập phân được biểu diễn bởi một tổ hợp mã BCD như sau:



Mỗi số thập phân được đổi sang số nhị phân tương đương và luôn luôn dùng 4 bit cho từng số thập phân

Mã BCD biểu diễn mỗi số thập phân bằng một số nhị phân 4 bit và ta nhận thấy rằng chỉ có các số từ 0000 đến 1001 được sử dụng, ngoài các nhóm số nhị phân 4 bit này không được dùng làm mã BCD.

Ví dụ: Đổi số BCD sang số thập phân

a) 1000100100100110_{BCD}

b) $1100100001010111_{\text{BCD}}$

Giải

a) Chia số BCD thành từng nhóm 4 bit và đổi mỗi nhóm sang thập phân

$1000 \quad 1001 \quad 0010 \quad 0110$
 $\uparrow \quad \uparrow \quad \uparrow \quad \uparrow$
 8 9 2 6

Kết quả số thập phân tương ứng là: 8926_{10}

b) Tương tự như câu a ta có

$1100 \quad 1000 \quad 0101 \quad 0111$
 $\uparrow \quad \uparrow \quad \uparrow \quad \uparrow$
 Mã cấm 8 5 7
 Trong BCD

- **Ưu điểm** : Chính của mã BCD là dễ dàng chuyển đổi từ mã thập phân sang nhị phân và ngược lại bằng cách chỉ cần nhớ các nhóm mã 4 bit ứng với các kí số thập phân từ 0 đến 9.

- So sánh mã BCD và mã nhị phân

Ta cần phải hiểu rằng mã BCD không phải là một hệ thống số như hệ thống số thập phân, nhị phân, bát phân và thập lục phân. Mà thật ra, BCD là hệ thập phân với từng kí số được mã hóa thành giá trị nhị phân tương ứng và cũng phải hiểu rằng mã BCD không phải là một mã nhị phân quy ước.

Mã nhị phân quy ước biểu diễn số thập phân hoàn chỉnh ở dạng nhị phân, còn mã BCD chỉ chuyển đổi từng ký số thập phân sang số nhị phân tương ứng

2.6 Mã ASCII

Ngoài dữ liệu dạng số máy tính còn có khả năng thao tác thông tin khác số như mã biểu thị mẫu tự abc, dấu chấm câu, những ký tự đặc biệt cũng như ký tự số. Những mã này được gọi chung là mã chữ số. Bộ mã chữ số hoàn chỉnh bao gồm 26 chữ thường, 26 chữ hoa, 10 ký tự số, 7 dấu chấm câu và chừng độ 20 đến 40 ký tự khác. Ta có thể nói rằng mã chữ số biểu diễn mọi ký tự và chữ số có trên bàn phím máy tính.

Mã chữ số được sử dụng rộng rãi hiện nay là mã ASCII (American Standard Code Information Interchange).

Mã ASCII là bộ mã có 7 bit nên có $2^7 = 128$ nhóm mã đủ để biểu thị tất cả các ký tự trên bàn phím máy tính.

Bảng danh sách bảng mã ASCII

Ký tự	Mã ASCII 7 bit	Octal	Hexa
A	100 0001	101	41

B	100 0010	102	42
C	100 0011	103	43
D	100 0100	104	44
E	100 0101	105	45
F	100 0110	106	46
G	100 0111	107	47
H	100 1000	110	48
I	100 1001	111	49
J	100 1010	112	4A
K	100 1011	113	4B
L	100 1100	114	4C
M	100 1101	115	4D
N	100 1110	116	4E
O	100 1111	117	4F
P	101 0000	102	50
Q	101 0001	121	51
R	101 0010	122	52
S	101 0011	123	53
T	101 0100	124	54
U	101 0101	125	55
V	101 0110	126	56
W	101 0111	127	57
X	101 1000	130	58
Y	101 1001	131	59
Z	101 1010	132	5A

Ngoài dữ liệu dạng số máy tính còn có khả năng thao tác thông tin khác số như mã biểu thị mẫu tự abc, dấu chấm câu, những ký tự đặc biệt cũng như ký tự số. Những mã này được gọi chung là mã chữ số. Bộ mã chữ số hoàn chỉnh bao gồm 26 chữ thường, 26 chữ hoa, 10 ký tự số, 7 dấu chấm câu và chừng độ 20 đến 40 ký tự khác. Ta có thể nói rằng mã chữ số biểu diễn mọi ký tự và chữ số có trên bàn phím máy tính.

0	011 0000	060	30
1	011 0001	061	31
2	011 0010	062	32
3	011 0011	063	33
4	011 0100	064	34
5	011 0101	065	35
6	011 0110	066	36

7	011 0111	067	37
8	011 1000	070	38
9	011 1001	071	39
<Ký tự trắng>	010 0000	040	20
.	010 1110	056	2E
(010 1000	050	28
+	010 1011	053	2B
	010 0100	044	24
*	010 1010	052	2A
)	010 1001	051	29
-	010 1101	055	2D
/	010 1111	057	2F
,	010 1100	054	2C
=	011 1101	075	3D
<RETURN>	000 1101	015	0D
<LINEFEED>	000 1010	012	0A

3. Các cổng logic cơ bản

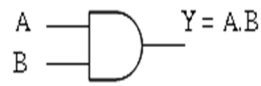
- Mục tiêu: Phân tích được các mạch của các cổng Logic, tín hiệu của ngõ vào và ra khi có sự kết hợp của nhiều cổng với nhau.

Trong kỹ thuật điện tử người ta dùng những linh kiện điện tử cần thiết kết nối với nhau theo các quy luật nhất định tạo nên các phần tử cơ bản và từ đó hình thành các mạch chức năng phức tạp hơn. Những phần tử cơ bản này gọi là các cổng logic căn bản.

Một cổng logic căn bản bao gồm một hay nhiều ngõ vào nhưng có duy nhất một ngõ ra và giữa các ngõ vào và ngõ ra biểu thị mối quan hệ với nhau được biểu diễn qua các số nhị phân 0 và 1.

Xét về mức điện áp thì 0 đặc trưng cho điện áp thấp và 1 đặc trưng cho điện áp cao và các cổng logic cơ bản bao gồm các cổng sau.

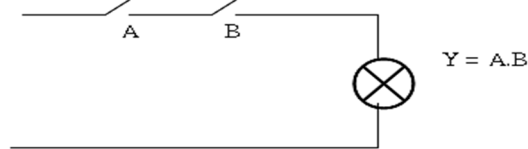
3.1 Cổng AND.

Ký hiệu:*Bảng trạng thái*

A	B	Y = A.B
0	0	0
0	1	0
1	0	0
1	1	1

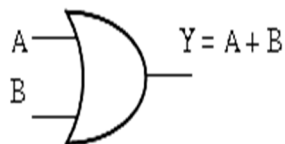
Hình 1.5: Ký hiệu và bảng trạng tháiNhận xét:

- Cổng AND thực hiện toán nhân thông thường giữa 0 và 1
- Ngõ ra cổng AND bằng 0 khi có ít nhất một ngõ vào bằng 0
- Ngõ ra cổng AND bằng 1 khi tất cả các ngõ vào đều bằng 1

Ví dụ: Mạch điện hình 1.6 sau thực hiện chức năng của cổng AND**Hình 1.6: Mạch điện mô phỏng**

Bóng đèn sẽ sáng khi cả hai công tắc A và B đều đóng

3.2 Cổng OR.

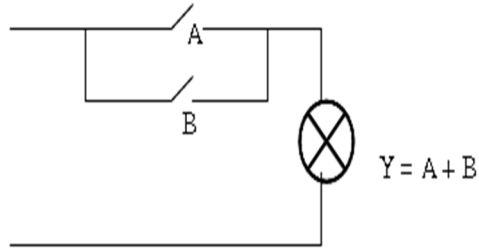
Ký hiệu:*Bảng trạng thái*

A	B	Y = A+B
0	0	0
0	1	1
1	0	1
1	1	1

Hình 1.7: Ký hiệu và bảng trạng tháiNhận xét:

- Cổng OR thực hiện toán cộng thông thường giữa 0 và 1
- Ngõ ra cổng OR bằng 0 khi tất cả các ngõ vào bằng 0
- Ngõ ra cổng OR bằng 1 khi có ít nhất một ngõ vào bằng 1

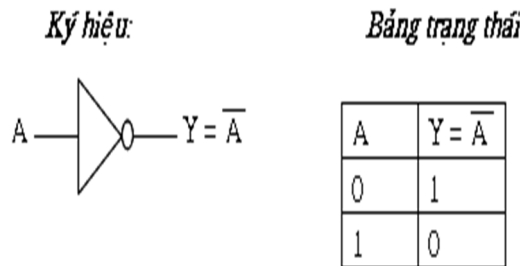
Ví dụ: Mạch điện hình 1.8 sau thực hiện chức năng của cổng OR



Hình 1.8: Mạch điện mô phỏng

Bóng đèn sẽ sáng khi công tắc A hoặc công tắc B được bật

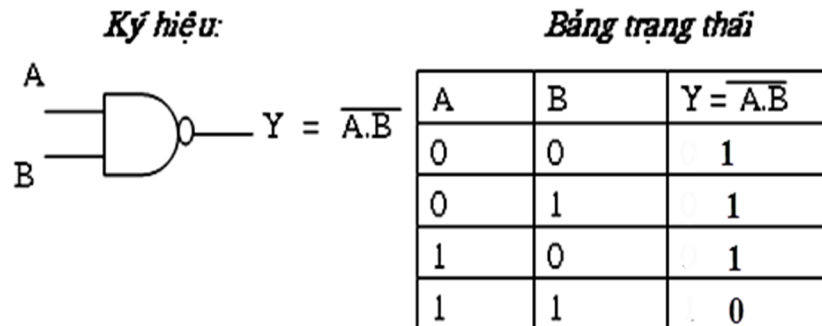
3.3 Cổng NOT.



Hình 1.9: Ký hiệu và bảng trạng thái

Nhận xét: Trạng thái ngõ vào và ngõ ra của cổng NOT luôn đối nhau

Cổng NAND.

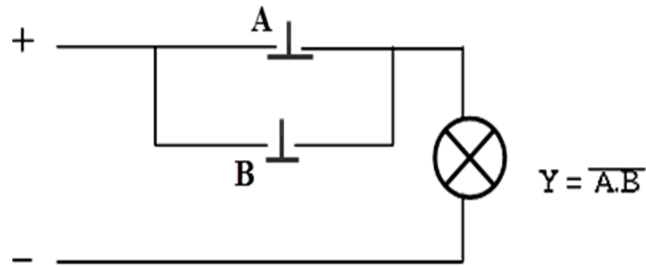


Hình 1.10: Ký hiệu và bảng trạng thái

Nhận xét:

- Cổng NAND là đảo trạng thái ngõ ra của cổng AND
- Ngõ ra cổng NAND bằng 0 khi có tất cả các ngõ vào bằng 1
- Ngõ ra cổng AND bằng 1 khi có ít nhất một ngõ vào bằng 0

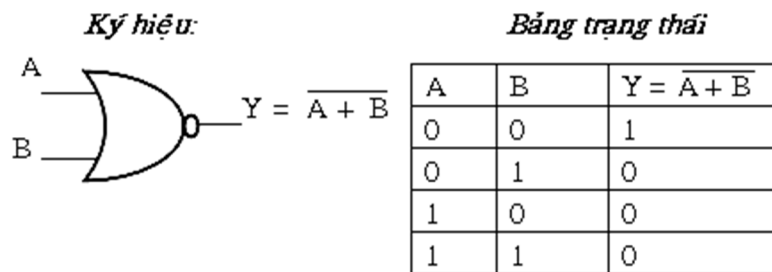
Ví dụ: Mạch điện hình 1.11 sau thực hiện chức năng của cổng NAND



Hình 1.11: Mạch điện mô phỏng

Bóng đèn sẽ sáng khi công tắc A hoặc công tắc B không được nhấn với quy ước khi nhấn trạng thái của công tắc là 1 và khi không nhấn là 0

Cổng NOR.

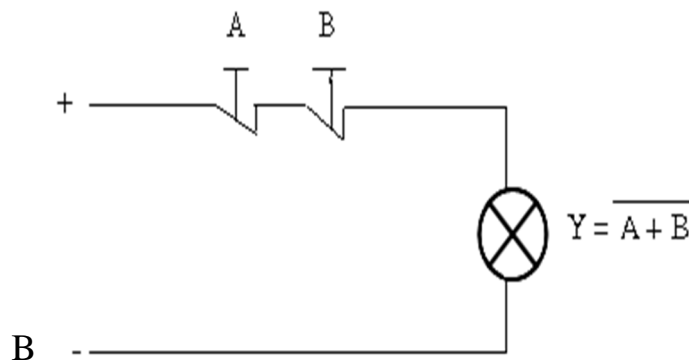


Hình 1.12: Ký hiệu và bảng trạng thái

Nhận xét:

- Cổng NOR là đảo của cổng OR
- Ngõ ra cổng NOR bằng 0 khi có ít nhất một ngõ vào bằng 1
- Ngõ ra cổng NOR bằng 1 khi tất cả các ngõ vào bằng 0

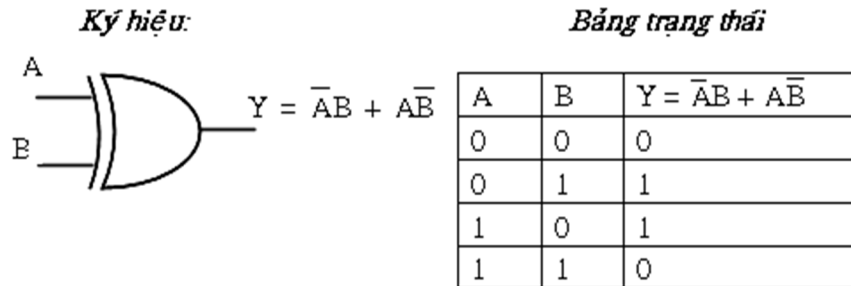
Ví dụ: Mạch điện thể hiện quan hệ của cổng NOT, hình 1.13



Hình 1.13: Mạch điện mô phỏng

Chỉ cần nhấn một trong hai nút nhấn thì đèn sẽ tắt

Cổng EX-OR.

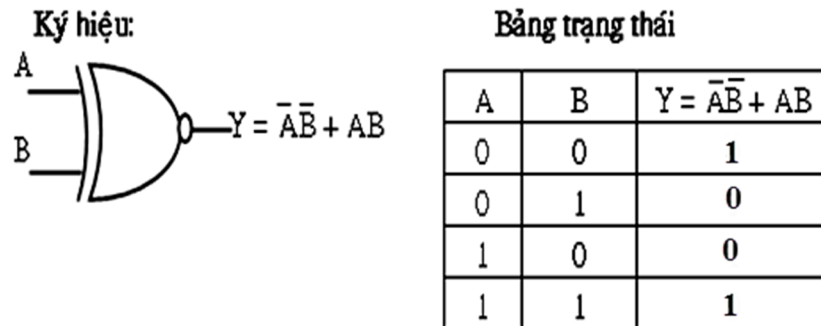


Hình 1.14: Ký hiệu và bảng trạng thái

Nhận xét:

- Ngõ ra cổng EX-OR bằng 0 khi tất cả các ngõ vào cùng trạng thái
- Ngõ ra cổng EX-OR bằng 1 khi các ngõ vào khác trạng thái

3.7 Cổng EX-NOR.



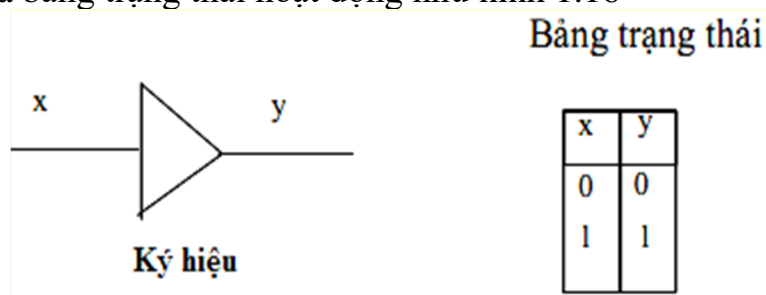
Hình 1.15: Ký hiệu và bảng trạng thái

Nhận xét:

- Ngõ ra cổng EX-NOR chính là đảo của cổng EX-OR
- Ngõ ra cổng EX-NOR bằng 1 khi tất cả các ngõ vào cùng trạng thái
- Ngõ ra cổng EX-NOR bằng 0 khi các ngõ vào khác trạng thái

3.8 Cổng đệm (Buffer)

Cổng đệm (Buffer) hay còn gọi là cổng không đảo là cổng có một ngõ vào và một ký hiệu và bảng trạng thái hoạt động như hình 1.16



Hình 1.16: Ký hiệu và bảng trạng thái của cổng đệm

Nhận xét:

- X là ngõ vào, có trở kháng vào (Z_{in}) vô cùng lớn. Vì vậy dòng vào của cổng đệm rất nhỏ.
- Y là ngõ ra, có trở kháng ra (Z_{out}) rất nhỏ. Vì vậy cổng đệm có khả năng cung cấp dòng ngõ ra lớn.
- Dùng để phối hợp trở kháng vào.
- Dùng để cách ly và nâng dòng cho tải

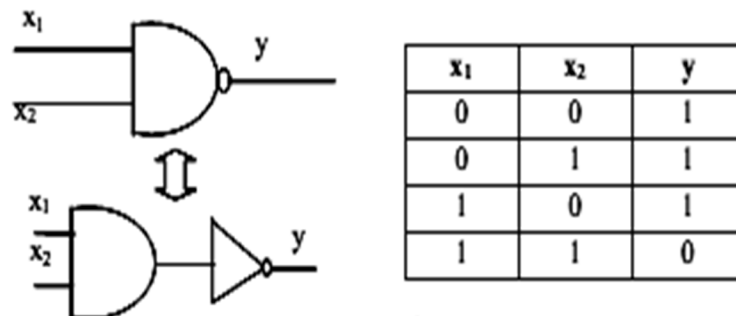
4. Biểu thức logic và mạch điện

- Mục tiêu: Thực hiện chuyển đổi giữa các cổng logic trong sơ đồ mạch của tín hiệu ở ngõ vào và ra khi trạng thái thay đổi ở các cổng.

4.1 Mạch điện biểu diễn biểu thức logic

❖ Mạch tạo thành các cổng logic từ cổng NAND

Cổng NAND thực hiện phép toán nhân đảo, về sơ đồ logic cổng NAND gồm 1 cổng AND mắc nối tầng với cổng NOT, ký hiệu và bảng trạng thái cổng NAND được cho như hình 1.17

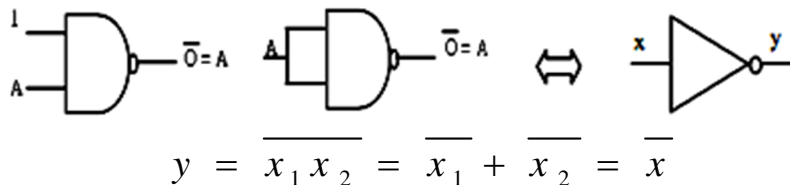


Hình 1.17: Ký hiệu, sơ đồ logic tương đương và bảng trạng thái

- Sử dụng cổng NAND để tạo cổng NOT

Ta có thể sử dụng cổng NAND như một cổng NOT bằng cách nối n-1 đầu vào của cổng NAND lên mức 1, ngõ vào còn lại làm ngõ vào của mạch NOT.

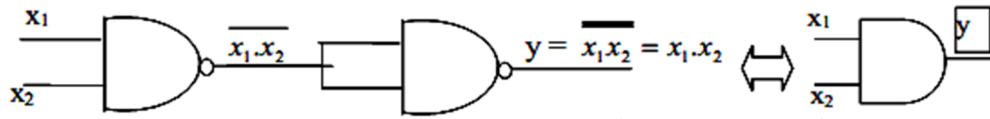
Ví dụ: Tạo cổng NOT từ cổng NAND hai ngõ vào



Hình 1.18: Dùng cổng NAND để tạo cổng NOT

- Sử dụng cổng NAND để tạo thành cổng AND

Hàm NAND là đảo của hàm AND, do vậy hàm AND được xây dựng từ hàm NAND bằng cách mắc như hình 1.19

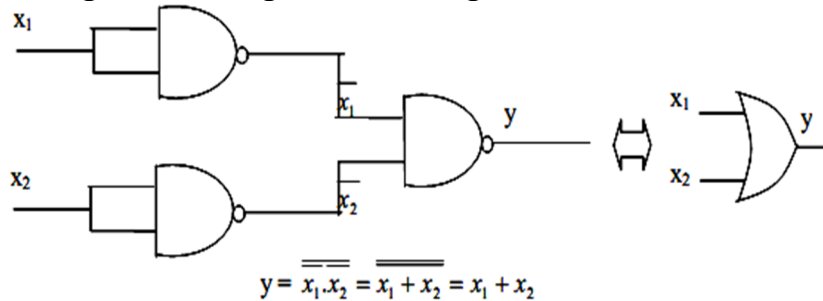


Hình 1.19: Sử dụng cổng NAND để tạo thành cổng AND

- Sử dụng cổng NAND để tạo thành cổng OR

Hàm OR có thể được xây dựng từ các mạch NAND

Ví dụ: Tạo cổng OR có 2 ngõ vào từ cổng NAND

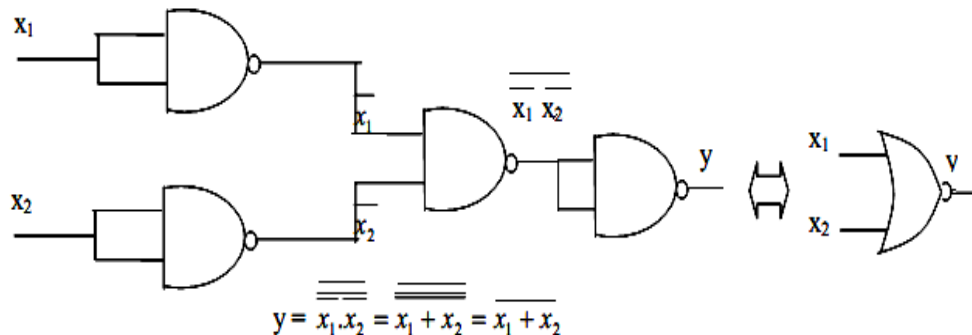


Hình 1.20: Sử dụng cổng NAND để tạo thành cổng OR

- Sử dụng cổng NAND để tạo thành cổng NOR

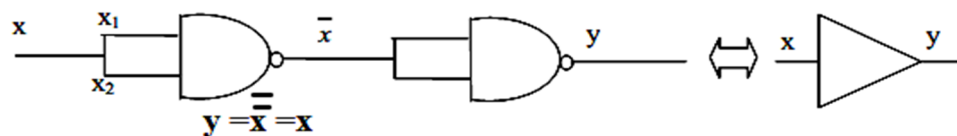
Hàm NOR có thể được xây dựng từ các mạch NAND

Ví dụ: Tạo cổng NOR có 2 ngõ vào từ cổng NAND



Hình 1.21: Sử dụng cổng NAND để tạo thành cổng NOR

- Sử dụng cổng NAND để tạo thành cổng Buffer (cổng đệm)

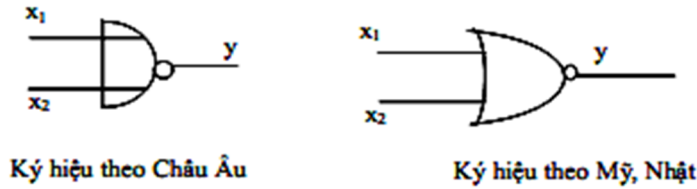


Hình 1.22: Sử dụng cổng NAND để tạo thành cổng đệm

❖ **Mạch tạo thành các cổng logic từ cổng NOR**

Cổng NOR còn gọi là cổng Hoặc – Không, là cổng thực hiện chức năng của phép toán cộng đảo Logic, cổng có hai ngõ vào và một ngõ ra có ký hiệu như hình 1.23

$$y = \overline{x_1 + x_2}$$



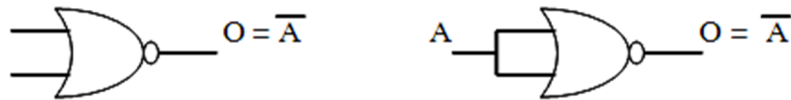
Hình 1.23: Ký hiệu cổng NOR

- Bảng trạng thái mô tả hoạt động của cổng NOR

Bảng TT1-1

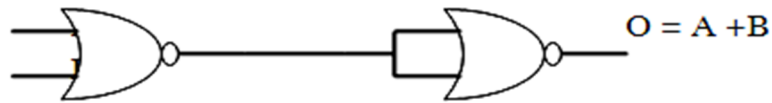
X ₁	X ₂	Y
0	0	1
0	1	0
1	0	0
1	1	0

- Dùng mạch NOR để tạo hàm NOT



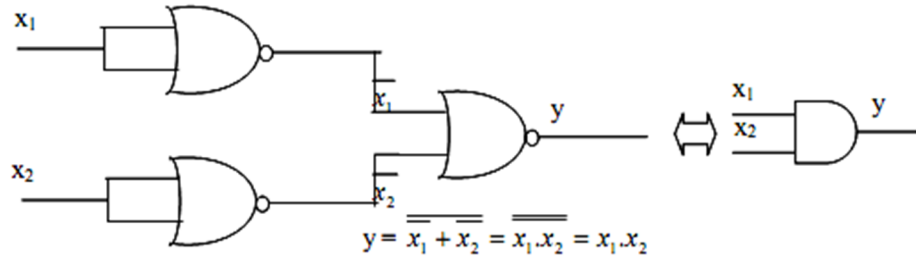
Hình 1.24: Sử dụng cổng NAND để tạo thành cổng NOT

- Dùng mạch NOR để tạo hàm OR



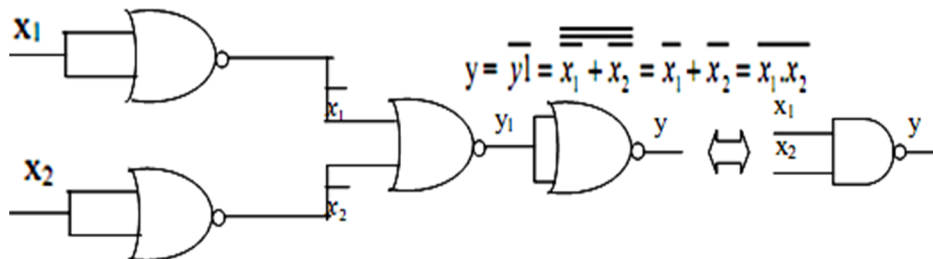
Hình 1.25: Sử dụng cổng NAND để tạo thành cổng OR

- Dùng mạch NOR để tạo hàm AND



Hình 1.26: Sử dụng cổng NAND để tạo thành cổng AND

- Dùng mạch NOR để tạo hàm NAND



Hình 1.27: Sử dụng cổng NOR làm cổng NAND

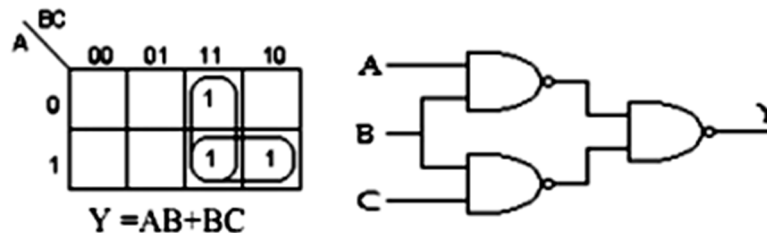
4.2 Xây dựng biểu thức logic theo mạch điện cho trước

Ví dụ : Dùng cổng NAND 2 ngõ vào thiết kế mạch tạo hàm $Y = f(A,B,C)$
 $=1$ khi thỏa các điều kiện sau:

- $A=0, B=1$ và $C=1$
- $A=1, B=1$ bất chấp C

A	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

Rút gọn hàm:

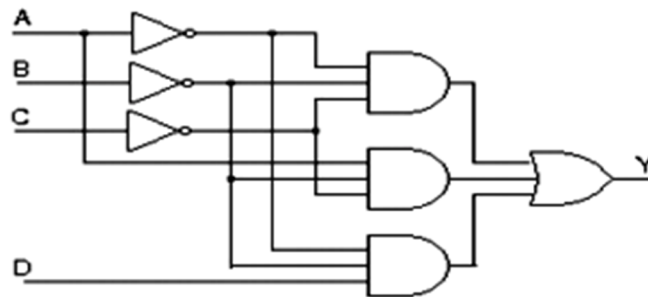


Để dùng toàn cổng NAND tạo hàm, ta dùng định lý De Morgan để biến đổi hàm

$$Y: \quad Y = \overline{\overline{AB + BC}} = \overline{\overline{AB} \overline{BC}} = \overline{\overline{AB} \overline{BC}}$$

Ví dụ : Cho mạch, hình 1.30

- Viết biểu thức hàm Y theo các biến A, B, C .
- Rút gọn hàm logic này
- Thay thế mạch trên bằng một mạch chỉ gồm cổng NAND, 2 ngõ vào.



Hình 1.28

Giải:

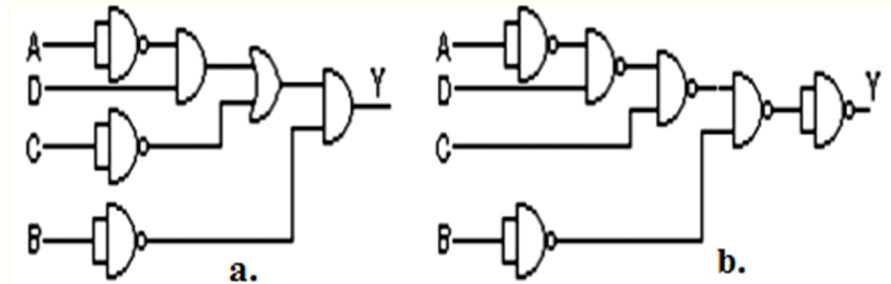
a. Ta có: $Y = \overline{\overline{AB + BC}} = \overline{\overline{AB} \overline{BC}} = \overline{\overline{AB} \overline{BC}}$

b. Rút gọn:

$$Y = \overline{A.B.C} + \overline{A.B.C} + \overline{A.BD} = \overline{B.C}(A + A) + \overline{A.BD}$$

$$= \overline{B.C} + \overline{A.BD} = \overline{B(C + AD)}$$

c. Vẽ mạch thay thế dùng cổng NAND 2 ngõ vào như hình 1.29a. Trước tiên ta vẽ mạch tương ứng hàm rút gọn, sau đó ứng dụng dùng định lý De Morgan biến đổi cổng như hình 1.29b.



Hình 1.29

5. Đại số Boole và định lý Demorgan

- Mục tiêu: Áp dụng các định luật và định lý vào các bài toán trong mạch và thiết kế ra dạng mạch từ đơn giản đến phức tạp.

Trong kỹ thuật số thì đại số Boole là công cụ hữu hiệu để đơn giản và biến đổi các cổng logic hay nói cách khác có thể thay thế mạch điện này bằng mạch điện khác để đáp ứng một yêu cầu hay một giải pháp kỹ thuật nào đó. Khác với các đại số khác, các hằng và biến trong đại số Boole chỉ có hai giá trị: 0 và 1 (Giá trị 0 và 1 trong đại số Boole mang ý nghĩa miêu tả các trạng thái hay mức logic). Trong đại số Boole không có: phân số, số âm, lũy thừa, căn số,... Đại số Boole chỉ có 3 phép tính đó là:

- Phép nhân thể hiện qua hàm AND
- Phép cộng thể hiện qua hàm OR hoặc hàm EX-OR
- Phép phủ định thể hiện qua hàm NOT

❖ Các công thức, định luật và định lý cơ bản

a. Quan hệ giữa các hằng số: Những quan hệ dưới đây giữa hai hằng số (0,1) làm tiền đề của đại số Boole.

$$0 \cdot 0 = 0$$

$$1 + 1 = 1$$

$$0 \cdot 1 = 0$$

$$1 + 0 = 1$$

$$0 + 0 = 0$$

$$1 \cdot 1 = 1$$

$$\overline{0} = 1$$

$$\overline{1} = 0$$

b. Quan hệ giữa biến số và hằng số:

$$x \cdot 1 = x$$

$$x + 0 = x$$

$$x \cdot 0 = 0$$

$$x + 1 = 1$$

$$x + \overline{x} = 1$$

$$x \cdot \overline{x} = 0$$

c. Luật giao hoán

$$X \cdot Y = Y \cdot X, \quad X + Y = Y + X$$

d. Luật kết hợp

$$X(Y \cdot Z) = (X \cdot Y)Z, \quad X + (X + Y) + Z$$

e. Luật phân phối

$$X \cdot (Y + Z) = X \cdot Y + X \cdot Z, \quad (X + Y) \cdot (X + Z) = X + Y \cdot Z$$

f. Định lý hấp thụ

$$X + X \cdot Y = X$$

$$X \cdot (X + Y) = X$$

❖ Bảng trạng thái (bảng sự thật)

m	A	B	C	f
m ₀	0	0	0	0
m ₁	0	0	1	0
m ₂	0	1	0	0
m ₃	0	1	1	0
m ₄	1	0	0	0
m ₅	1	0	1	0
m ₆	1	1	0	0

m ₇	1	1	1	1
----------------	---	---	---	---

5.1 Hàm Bool một biến.

Biểu thức:

$$A \cdot A = A$$

$$A \cdot 1 = A$$

$$A \cdot 0 = 0$$

$$A \cdot \overline{A} = 0$$

$$A + A = A$$

$$A + 1 = 1$$

$$A + 0 = A$$

$$A + \overline{A} = 1$$

5.2 Hàm Bool nhiều biến.

Biểu thức:

$$A \cdot B = B \cdot A$$

$$A + B = B + A$$

$$A + B + C = A + (B + C) = (A + B) + C$$

$$A \cdot B \cdot C = (A \cdot B) \cdot C = A \cdot (B \cdot C)$$

$$(A + B)C = AC + BC$$

$$A + AB = A$$

$$A + \overline{A} \cdot B = A + B$$

5.3 Định lý Demorgan

Định lý De Morgan cho phép biến đổi qua lại giữa hai phép cộng và nhân nhờ vào phép đảo. Định lý De Morgan được chứng minh bằng cách lập bảng sự thật cho tất cả trường hợp có thể có của các biến A, B, C với các hàm AND, OR và NOT của chúng.

$$\overline{\overline{x + y}} = \overline{\overline{x} \cdot \overline{y}}$$

$$\overline{\overline{x} \cdot \overline{y}} = \overline{\overline{x}} + \overline{\overline{y}}$$

6. Đơn giản biểu thức logic

- Mục tiêu: Thực hiện các bước rút gọn biểu thức bằng phương pháp đại số và bảng Karnaugh theo dạng tổng – tích.

Để đơn giản cách viết người ta có thể diễn tả một hàm **Tổng chuẩn** hay **Tích chuẩn** bởi tập hợp các số dưới dấu tổng (Σ) hay tích (Π). Mỗi tổ hợp biến được thay bởi một số thập phân tương đương với trị nhị phân của chúng. Khi sử dụng cách viết này trọng lượng các biến phải được chỉ rõ.

- **Dạng tổng chuẩn:** Để có được hàm logic dưới *dạng chuẩn*, ta áp dụng các định lý triển khai của Shanon. Dạng tổng chuẩn có được từ triển khai theo **định lý Shanon thứ nhất:** Tất cả các hàm logic có thể triển khai theo một trong những biến dưới dạng tổng của hai tích như sau:

$$f(A,B,\dots,Z) = A.f(1,B,\dots,Z) + \bar{A}.f(0,B,\dots,Z) \quad (1)$$

Hệ thức (1) có thể được chứng minh rất dễ dàng bằng cách lần lượt cho A bằng 2 giá trị 0 và 1, ta có kết quả là 2 vế của (1) luôn luôn bằng nhau.

$$\begin{aligned} \text{Cho } A=0: f(0,B,\dots,Z) &= 0.f(1,B,\dots,Z) + 1.f(0,B,\dots,Z) \\ &= f(0,B,\dots,Z) \end{aligned}$$

$$\begin{aligned} \text{Cho } A=1: f(1,B,\dots,Z) &= 1.f(1,B,\dots,Z) + 0.f(0,B,\dots,Z) \\ &= f(1,B,\dots,Z) \end{aligned}$$

Ví dụ 1: Cho hàm 3 biến A,B,C xác định bởi bảng trạng thái:

Hàng	A	B	C	Z=f(A,B,C)
0	0	0	0	0
1	0	0	1	1
2	0	1	0	1
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	0
7	1	1	1	1

Với hàm Z cho như trên ta có các trị riêng f(i, j, k) xác định bởi:

$$- f(0,0,1) = f(0,1,0) = f(0,1,1) = f(1,0,1) = f(1,1,1) = 1$$

$$- f(0,0,0) = f(1,0,0) = f(1,1,0) = 0$$

- Hàm Z có trị riêng f(0,0,1)=1 tương ứng với các giá trị của tổ hợp biến ở hàng (1) là A=0, B=0 và C=1, vậy $\bar{A}\bar{B}C$ là một số hạng trong tổng chuẩn.

- Tương tự với các tổ hợp biến tương ứng với các hàng (2), (3), (5) và (7) cũng là các số hạng của tổng chuẩn, đó là các tổ hợp:

$$\bar{A}B\bar{C}, \bar{A}BC, A\bar{B}C, ABC$$

- Với các hàng còn lại (hàng 0,4,6), trị riêng của f(A,B,C) = 0 nên không xuất hiện trong triển khai.

Tóm lại ta có:

$$Z = \bar{A}\bar{B}C + \bar{A}B\bar{C} + \bar{A}BC + A\bar{B}C + ABC$$

Trở lại ví dụ trên, biểu thức logic tương ứng với hàng 1 (A=0, B=0, C=1) được viết $\bar{A}\bar{B}C=1$, vì $\bar{A}=1, \bar{B}=1, C=1$ đồng thời. Biểu thức logic tương ứng với hàng 2 là $\bar{A}B\bar{C}=1$ vì A=0($\bar{A}=1$), B=1, C=0($\bar{C}=1$) đồng thời. Tương tự, với các hàng 3, 5 và 7 ta có các kết quả:

$$\overline{A}.B.C, A.\overline{B}.C \text{ và } A.B.C$$

Như vậy, theo ví dụ trên ta có $Z = \text{hàng } 1 + \text{hàng } 2 + \text{hàng } 3 + \text{hàng } 5 + \text{hàng } 7$ tương ứng $Z = A.B.C + A.B.\overline{C} + A.\overline{B}.C + A.B.C + A.B.C$

Tóm lại, từ một hàm cho dưới dạng bảng trạng thái, ta có thể viết ngay biểu thức của hàm dưới dạng tổng chuẩn như sau:

Số số hạng của biểu thức bằng số giá trị 1 của hàm thể hiện trên bảng trạng thái.

Mỗi số hạng trong tổng chuẩn là tích của tất cả các biến tương ứng với tổ hợp mà hàm có trị riêng bằng 1, biến được giữ nguyên khi có giá trị 1 và được đảo nếu giá trị của nó = 0.

- **Dạng tích chuẩn:** Đây là dạng của hàm logic có được từ triển khai theo định lý Shanon thứ hai: Tất cả các hàm logic có thể triển khai theo một trong những biến dưới dạng tích của hai tổng như sau:

$$f(A,B,\dots,Z) = [A + f(1,B,\dots,Z)].[A + f(0,B,\dots,Z)] \quad (2)$$

Ví dụ 2: lấy lại ví dụ 1

Hàng	A	B	C	Z=f(A,B,C)
0	0	0	0	0
1	0	0	1	1
2	0	1	0	1
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	0
7	1	1	1	1

Cho giá trị riêng của hàm đã nêu ở trên

- Hàm Z có giá trị riêng $f(0,0,0) = 0$ tương ứng với các giá trị của biến ở hàng 0 là $A=B=C=0$ đồng thời, vậy $A+B+C$ là một số hạng trong tích chuẩn.

- Tương tự với các hàng (4) và (6) ta được các tổ hợp $\overline{A}+B+C$ và $A+\overline{B}+C$.

- Với các hàng còn lại (hàng 1, 2, 3, 5, 7), trị riêng của $f(A,B,C) = 1$ nên không xuất hiện trong triển khai. Tóm lại, ta có:

$$Z = (A+B+C).(\overline{A}+B+C).(\overline{A}+\overline{B}+C)$$

Như vậy trong ví dụ trên :

Z = hàng (0). Hàng (4). Hàng (6) tương đương như biểu thức:

$$Z = (A+B+C).(\overline{A}+B+C).(\overline{A}+\overline{B}+C)$$

Ở hàng 0 tất cả biến = 0: $A=0, B=0, C=0$ đồng thời nên có thể viết $(A+B+C) = 0$. Tương tự cho hàng (4) và hàng (6).

Tóm lại:

Biểu thức tích chuẩn gồm các thừa số, mỗi thừa số là tổng các biến tương ứng với tổ hợp có giá trị riêng =0, một biến giữ nguyên nếu nó có giá trị 0 và được đảo nếu có giá trị 1.

Ví dụ : Cho hàm Z xác định như trên, tương ứng với dạng chuẩn thứ nhất, hàm này lấy giá trị của các hàng 1, 2, 3, 5, 7, ta viết $Z=f(A,B,C) = \Sigma(1,2,3,5,7)$. Tương tự, nếu dùng dạng chuẩn thứ hai ta có thể viết $Z =f(A,B,C)= \Pi(0,4,6)$. Chú ý: Khi viết các hàm theo dạng số ta phải chỉ rõ trọng số của các bit, thí dụ ta có thể ghi kèm theo hàm Z ở trên 1 trong 3 cách như sau: A=MSB hoặc C=LSB hoặc A=4, B=2, C=1

Rút gọn hàm logic : Để thực hiện một hàm logic bằng mạch điện tử, người ta luôn luôn nghĩ đến việc sử dụng lượng linh kiện ít nhất. Muốn vậy, hàm logic phải ở dạng tối giản, nên vấn đề rút gọn hàm logic là bước đầu tiên phải thực hiện trong quá trình thiết kế.

- Có 3 phương pháp rút gọn hàm logic:

- Phương pháp đại số.
- Phương pháp dùng bảng Karnaugh.
- Phương pháp Quine Mc. Cluskey.

6.1 Đơn giản biểu thức logic bằng phương pháp đại số

$$A + AB = A \quad (2)$$

Chúng minh các đẳng thức 1, 2, 3 ta có:

$$AB + \bar{A}B = B(A + \bar{A}) = B.1 = B \quad (1.1)$$

$$A + AB = A(1 + B) = A \quad (2.2)$$

$$A + \bar{A}B = (A + \bar{A}).(A + B) = A + B \quad (3.3)$$

- **Qui tắc 1:** Nhờ các đẳng thức trên nhóm các số hạng lại

Ví dụ : Rút gọn biểu thức: $BC + ABC + \bar{A}BCD = A(B + \bar{B}CD)$

- **Qui tắc 2:** Ta có thể thêm 1 số hạng đã có trong biểu thức logic vào biểu thức mà không làm thay đổi biểu thức.

Ví dụ : Rút gọn biểu thức: $ABC + \bar{A}BC + \bar{A}BC + ABC$ thêm ABC vào để được :

$$(ABC + \bar{A}BC) + (ABC + \bar{A}BC) + (ABC + BC)$$

Theo (1) các nhóm trong dấu ngoặc rút gọn thành : $BC + AC + AB$.

$$\text{Vậy : } ABC + \bar{A}BC + \bar{A}BC + ABC = BC + AC + AB$$

- **Qui tắc 3:** Rút gọn biểu thức: $AB + \bar{B}C + AC$. Biểu thức không đổi nếu ta nhân một số hạng trong biểu thức với 1.

Ví dụ : $(B + \bar{B})$: $AB + \bar{B}C + AC = AB + \bar{B}C + AC(B + \bar{B})$. Triển khai số hạng cuối cùng của vế phải, ta được: $AB + \bar{B}C + ABC + \bar{A}BC$, thừa số chung: $AB(1+C) + \bar{B}C(1+A) = AB + \bar{B}C$

Tóm lại: $AB + \bar{B}C + AC = AB + \bar{B}C$

6.2 Rút gọn biểu thức logic bằng biểu đồ Karnaugh

- Bảng Karnaugh có dạng hình chữ nhật N biến có 2^n ô, mỗi ô tương ứng với một số hạng nhỏ nhất. Ví dụ $n = 3$ tương ứng với bảng $2^3 = 8$ ô hình 1.32, $n = 4$ tương ứng bảng $2^4 = 16$ ô hình 1.30

- Giá trị các biến được xếp thứ tự theo mã vòng. Ví dụ sự sắp xếp của AB và CD đều là 00, 01, 11, 10 hình 1.31

		BC			
		00	01	11	10
A	0	m_0	m_1	m_3	m_2
	1	m_4	m_5	m_7	m_6

		BC			
		00	01	11	10
A	0				
	1				

Hình 1.30

		CD			
		00	01	11	10
AB	00				
	01				
	11				
	10				

		CD			
		00	01	11	10
AB	00	0	1	3	2
	01	4	5	7	6
	11	12	13	15	14
	10	8	9	11	10

Hình 1.31

Dùng bảng Karnaugh cho phép rút gọn dễ dàng các hàm logic chứa từ 3 tới 6 biến.

➤ Nguyên tắc:

Xét hai tổ hợp biến AB và $\overline{A}B$, hai tổ hợp này chỉ khác nhau một bit, ta gọi chúng là hai tổ hợp kề nhau.

Ta có: $AB + \overline{A}B = B$, biến B đã được đơn giản.

Phương pháp của bảng Karnaugh dựa vào việc nhóm các tổ hợp kề nhau trên bảng để đơn giản biến có giá trị khác nhau trong các tổ hợp này.

❖ **Quy tắc gom nhóm:** Các tổ hợp biến có trong hàm logic hiện diện trong bảng Karnaugh dưới dạng các số 1 trong các ô, vậy việc gom thành nhóm các tổ hợp kề nhau được thực hiện theo quy tắc sau:

- Gom các số 1 kề nhau thành từng nhóm sao cho số nhóm càng ít càng tốt. Điều này có nghĩa là số số hạng trong kết quả sẽ càng ít đi.

- Tất cả các số 1 phải được gom thành nhóm và một số 1 có thể ở nhiều nhóm.

- Số 1 trong mỗi nhóm càng nhiều càng tốt nhưng phải là bội của 2^k (mỗi nhóm có thể có 1, 2, 4, 8 ... số 1). Cứ mỗi nhóm chứa 2^k số 1 thì tổ hợp biến tương ứng với nhóm đó giảm đi k số hạng.

- Kiểm tra để bảo đảm số nhóm gom được không thừa.

❖ **Quy tắc rút gọn dùng biểu đồ K như sau:**

- Đưa các biến lên biểu đồ K sao cho hai ô kế cận phải khác nhau một biến.
- Quan sát các biến chung và biến đối, khi đó chỉ giữ lại biến chung.
- Nhóm hai ô kế cận hoặc hai ô đối xứng ta sẽ bỏ được một biến.
- Nhóm bốn ô kế cận hoặc bốn ô đối xứng sẽ bỏ được hai biến.
- Viết kết quả hàm rút gọn từ các nhóm đã gom được.

Chú ý nếu hai ô kế cận theo đường chéo thì không thể rút gọn được.

- Vẽ bảng Karnaugh:

Biểu đồ K của hàm hai biến, hình 1.32

	B	\bar{B}
A	AB	$A\bar{B}$
\bar{A}	$\bar{A}B$	$\bar{A}\bar{B}$

Hình 1.32

Biểu đồ K của hàm ba biến, hình 1.33

	$\bar{A}\bar{B}$	$\bar{A}B$	$A\bar{B}$	AB
C	$\bar{A}\bar{B}C$	$\bar{A}B\bar{C}$	$A\bar{B}C$	ABC
\bar{C}	$\bar{A}\bar{B}\bar{C}$	$\bar{A}B\bar{C}$	$A\bar{B}\bar{C}$	$AB\bar{C}$

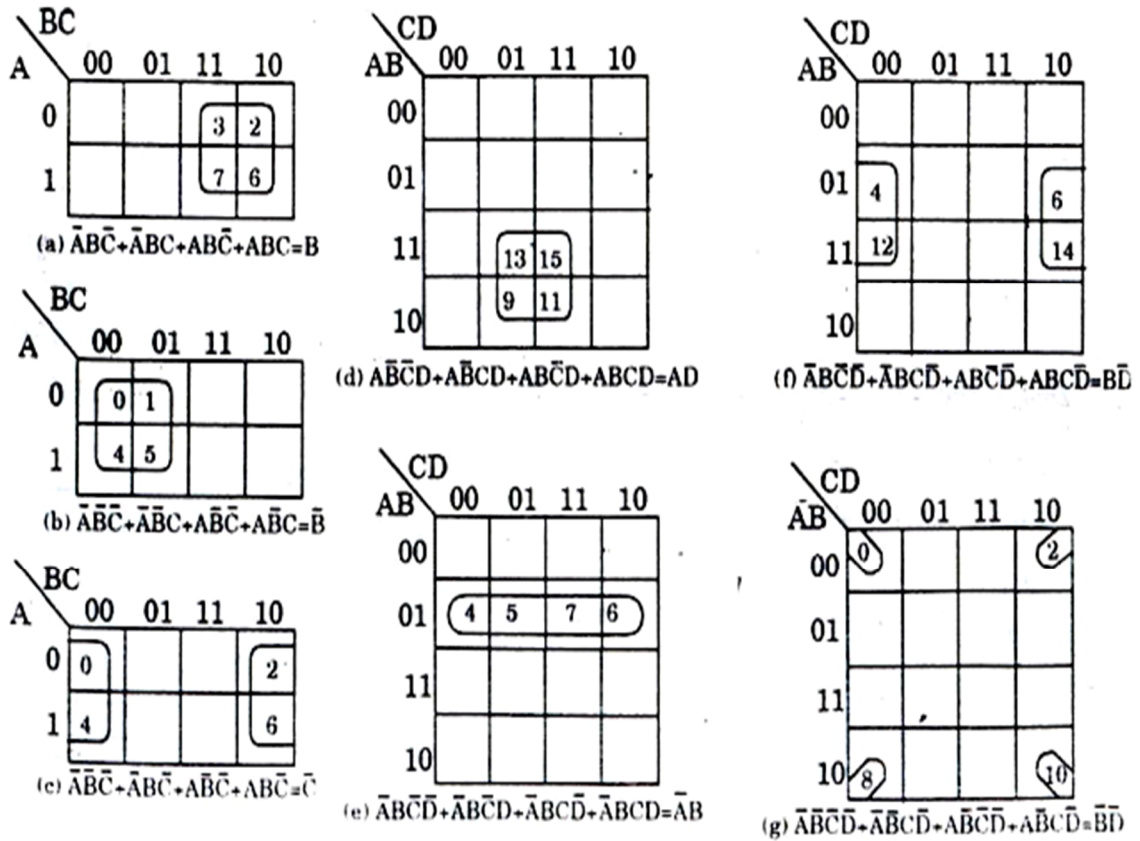
Hình 1.33

Biểu đồ K của hàm bốn biến, hình 1.34

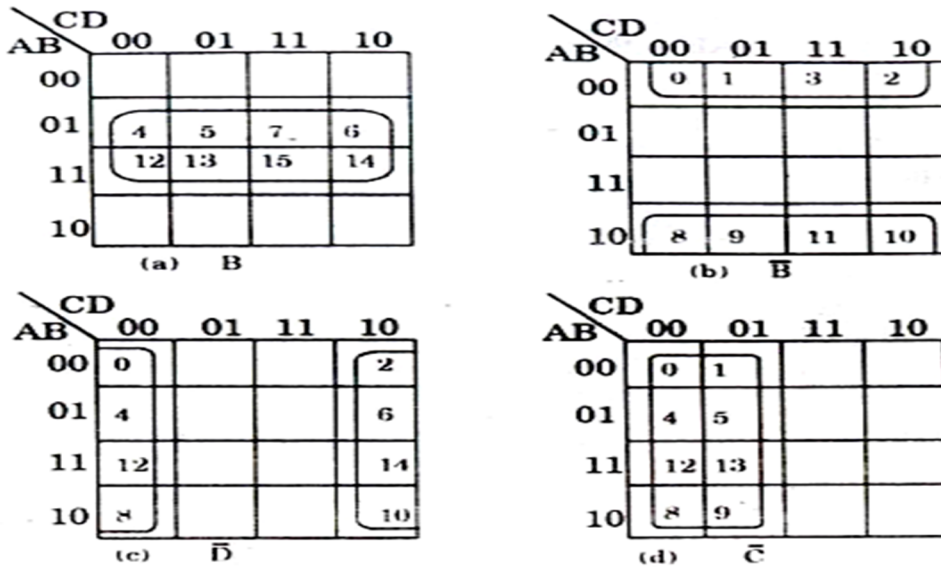
	$\bar{A}\bar{B}$	$\bar{A}B$	$A\bar{B}$	AB
$\bar{C}\bar{D}$	$\bar{A}\bar{B}\bar{C}\bar{D}$	$\bar{A}B\bar{C}\bar{D}$	$A\bar{B}\bar{C}\bar{D}$	$AB\bar{C}\bar{D}$
$\bar{C}D$	$\bar{A}\bar{B}C\bar{D}$	$\bar{A}BC\bar{D}$	$A\bar{B}C\bar{D}$	$ABC\bar{D}$
CD	$\bar{A}BCD$	$\bar{A}B\bar{C}D$	$A\bar{B}CD$	$ABCD$
$C\bar{D}$	$\bar{A}BC\bar{D}$	$\bar{A}B\bar{C}D$	$A\bar{B}C\bar{D}$	$ABC\bar{D}$

Hình 1.34

Một số ví dụ cho cách gộp và rút gọn như hình 1.35a,b



Hình 1.35a



Hình 1.35b

Ví dụ: Rút gọn biểu đồ K bốn biến có dạng theo hình 1.36a..

	$\overline{A}\overline{B}$	$\overline{A}B$	AB	$A\overline{B}$
$\overline{C}\overline{D}$	1	0	1	1
$\overline{C}D$	0	1	1	0
CD	0	1	1	0
$C\overline{D}$	1	0	0	0

Hình 1.36a

Nhóm 2 ô số 1 đầu tiên ta được : $\overline{A}BD$

Nhóm 2 ô số 1 đầu tiên ta được : $\overline{A}CD$

Nhóm 2 ô số 1 đầu tiên ta được : BD

Ta được kết quả: $Y = \overline{A}BD + \overline{A}CD + BD$

Ví dụ:

$$Y = f(A, B, C) = (A + B + C) \cdot (A + \overline{B} + C) \cdot (\overline{A} + B + C) \cdot (\overline{A} + B + \overline{C}) \cdot (\overline{A} + \overline{B} + C)$$

$$\overline{Y} = \overline{A}\overline{B}\overline{C} + \overline{A}B\overline{C} + \overline{A}BC + \overline{A}BC + \overline{A}BC$$

Và bảng Karnaugh tương ứng (Hình 1.36b).

		$\overline{B}\overline{C}$	$\overline{B}C$	$B\overline{C}$	BC
\overline{A}	0	0	1	1	0
A	1	0	0	1	0

Hình 1.36b

Ví dụ: Đối với bảng (Hình 1.37) ta có kết quả như sau:

	$\overline{C}\overline{D}$	$\overline{C}D$	$C\overline{D}$	CD
$\overline{A}\overline{B}$	00	01	11	10
00			1	1
01	1	1	1	1
11	1			
10				

nhóm 1 (đường thẳng đứng ở cột đầu tiên)
nhóm 2 (hình chữ nhật bao quanh các ô 1 ở hàng 00 và 01, cột 11 và 10)
nhóm 3 (hình chữ nhật bao quanh các ô 1 ở hàng 01, cột 00 và 01)

Hình 1.37

- Hàm Y là hàm 4 biến A, B, C, D

+ Nhóm 1 chứa 2 số 1 ($k=1$), như vậy nhóm 1 sẽ còn 3 biến. Theo hàng 2 số 1 này ở 2 ô ứng với $\overline{A}\overline{B}$ và $A\overline{B}$, biến A sẽ được đơn giản và theo cột thì 2 ô này ứng với tổ hợp $\overline{C}\overline{D}$, vì vậy kết quả ứng với nhóm 1 là: $\overline{B}\overline{C}\overline{D}$

+ Nhóm 2 chứa 4 số 1 ($4 = 2^2$, $k=2$) như vậy nhóm 2 sẽ còn 2 biến, theo hàng, 4 số 1 này ở 2 ô ứng với tổ hợp $\overline{A}\overline{B}$ và $A\overline{B}$, biến B sẽ được đơn giản và theo

cột thì 4 ô này ứng với tổ hợp CD và \overline{CD} , cho phép đơn giản biến D , vì vậy kết quả ứng với nhóm 2 là: AC

+ Nhóm 3 chứa 4 số 1 ($4 = 2^2, k=2$), như vậy nhóm 2 sẽ còn 2 biến theo hàng, 4 ô số 1 này ở ô ứng với tổ hợp \overline{AB} , theo cột 4 số 1 này chiếm hết 4 cột nên 2 biến C và D được đơn giản. Vì vậy kết quả ứng với nhóm 3 là: AB .
Và hàm Y rút gọn là : $Y = BCD + AC + AB$

Ví dụ 1 : Rút gọn hàm $Y = f(A,B,C)$

$$= A B . C + A . \overline{B} . C + A . B . \overline{C} + A . \overline{B} . \overline{C} + A . B . C$$

		C	
		0	1
AB	00		1
	01		1
	11		1
	10	1	1

Hình 1.38

Kết quả rút gọn là $Y = A\overline{B} + C$

Ví dụ 2 : Rút gọn hàm $Y = f(A,B,C,D) = (0,2,4,5,8,10,12,13)$ với $A=MSB$

		CD			
		00	01	11	10
AB	00	1			1
	01	1	1		
	11	1	1		
	10	1			1

Hình 1.39

Kết quả rút gọn: $Y = \overline{BC} + \overline{BD}$

Ví dụ 3: Rút gọn hàm S cho bởi bảng trạng thái:

N	A	B	C	D	S
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	1
3	0	0	1	1	1
4	0	1	0	0	1
5	0	1	0	1	1
6	0	1	1	0	0
7	0	1	1	1	0
8	1	0	0	0	0

9	1	0	0	1	0
10→15					X (không xác định)

Bảng Karnaugh, hình 1.40

	CD	00	01	11	10
AB	00			1	1
	01	1	1		
	11	X	X	X	X
	10			X	X

Hình 1.40

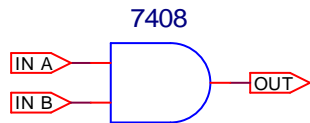
⇒ Kết quả rút gọn là : $S = B\bar{C} + \bar{B}C$.

7. Thực hành:

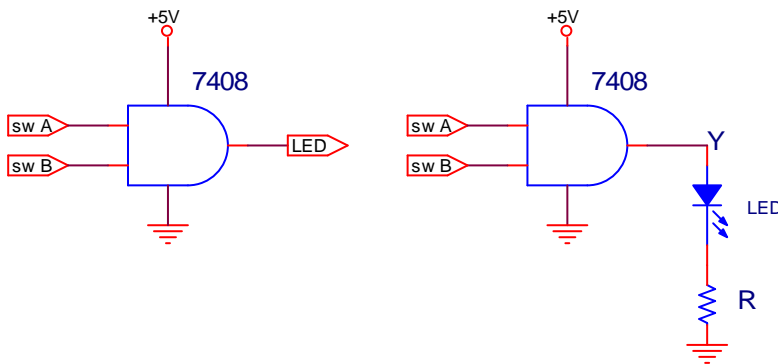
Ráp mạch kiểm tra hoạt động của IC:

7.1. IC 7408 - Cổng AND

7.1.1. Ký hiệu:



7.1.2. Ráp mạch:



7.1.3. Điền giá trị vào bảng trạng thái:

Ngõ vào (A)	Ngõ vào (B)	Ngõ ra (Y)
0	0	
0	1	
1	0	
1	1	

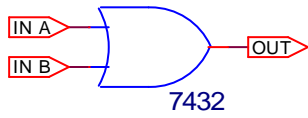
7.1.4. Kết luận:

Từ bảng trạng thái, ghi biểu thức cho mạch trên

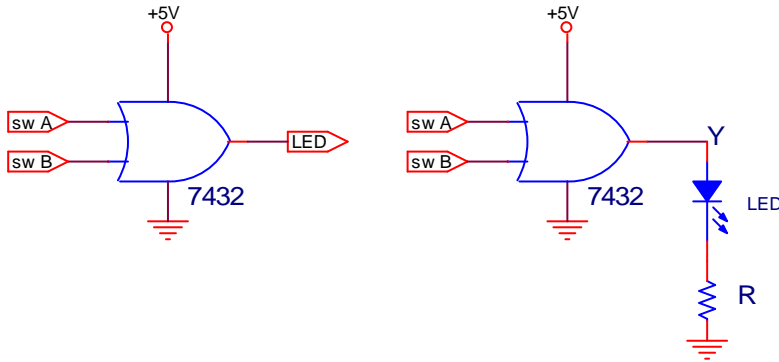
Y=.....

7.2. IC 7432 - Cổng OR

7.2.1. Ký hiệu:



7.2.2. Ráp mạch:



7.2.3. Điền giá trị vào bảng trạng thái:

Ngõ vào (A)	Ngõ vào (B)	Ngõ ra (Y)
0	0	
0	1	
1	0	
1	1	

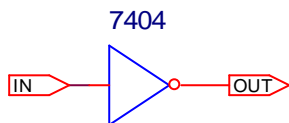
7.2.4. Kết luận:

Từ bảng trạng thái, ghi biểu thức cho mạch trên

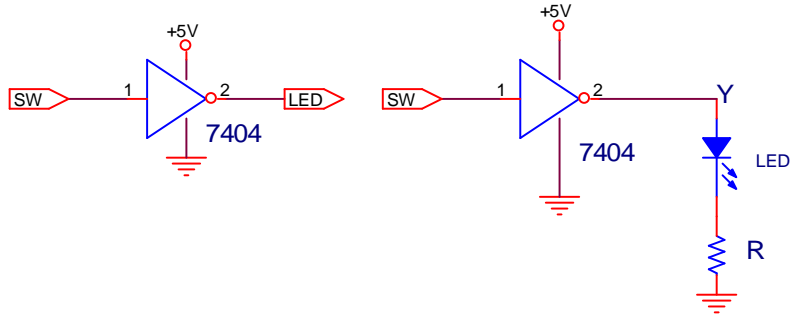
Y=.....

7.3. IC 7404 - Cổng NOT

7.3.1. Ký hiệu:



7.3.2. Ráp mạch:



7.3.3. Điền giá trị vào bảng trạng thái:

Ngõ vào (A)	Ngõ ra (Y)
0	
1	

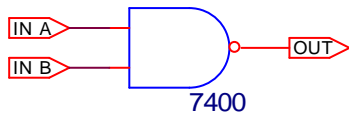
7.3.4. Kết luận:

Từ bảng trạng thái, ghi biểu thức cho mạch trên

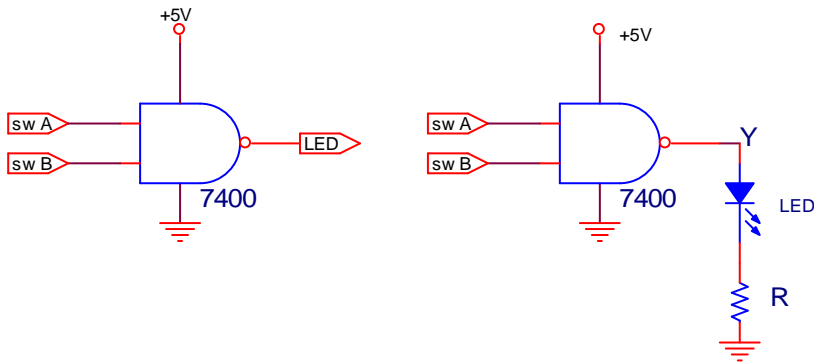
Y=.....

7.4. IC 7400 - Cổng NAND

7.4.1. Ký hiệu:



7.4.2. Ráp mạch:



7.4.3. Điền giá trị vào bảng trạng thái:

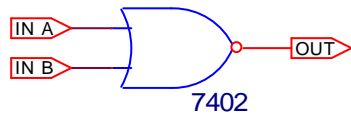
Ngõ vào (A)	Ngõ vào (B)	Ngõ ra (Y)
0	0	
0	1	
1	0	
1	1	

7.4.4. Kết luận:

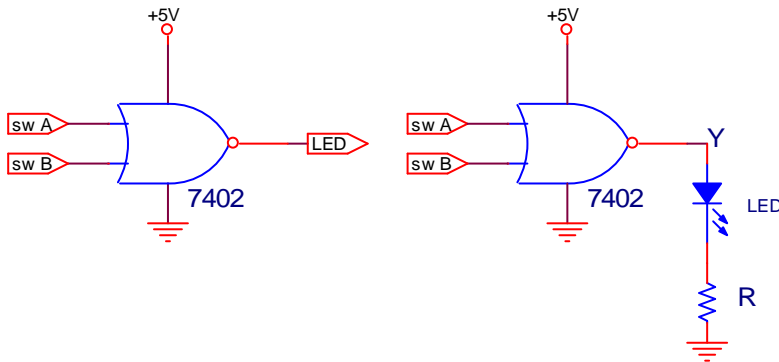
Từ bảng trạng thái, ghi biểu thức cho mạch trên
 $Y = \dots\dots\dots$

7.5. IC 7402 - Cổng NOR

7.5.1. Ký hiệu:



7.5.2. Ráp mạch:



7.5.3. Điền giá trị vào bảng trạng thái:

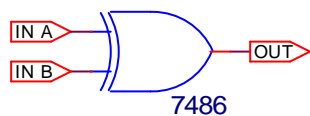
Ngõ vào (A)	Ngõ vào (B)	Ngõ ra (Y)
0	0	
0	1	
1	0	
1	1	

7.5.4. Kết luận:

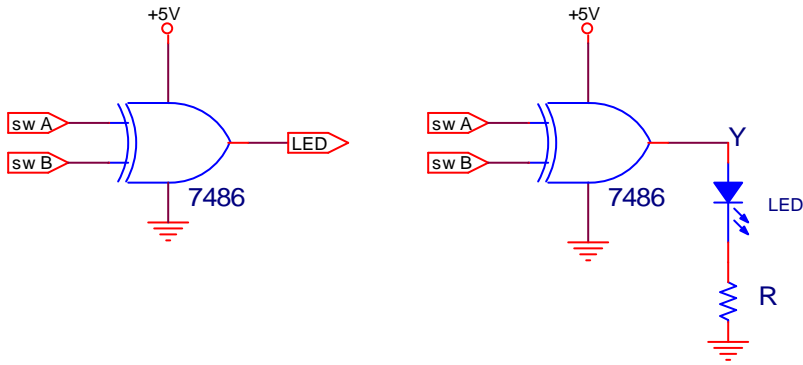
Từ bảng trạng thái, ghi biểu thức cho mạch trên
 $Y = \dots\dots\dots$

7.6. IC 7486 - Cổng EX-OR

7.6.1. Ký hiệu:



7.6.2. Ráp mạch:



7.6.3. Điền giá trị vào bảng trạng thái:

Ngõ vào (A)	Ngõ vào (B)	Ngõ ra (Y)
0	0	
0	1	
1	0	
1	1	

7.6.4. Kết luận:

Từ bảng trạng thái, ghi biểu thức cho mạch trên

Y=.....

➤ YÊU CẦU VỀ ĐÁNH GIÁ KẾT QUẢ HỌC TẬP BÀI 1

✚ Nội dung:

+ Về kiến thức: Trình bày được khái niệm mạch số và mạch tương tự, hiểu được sự khác nhau của hệ thống số, mã số và mã BCD, xác định được các biểu thức logic, các IC số ...

+ Về kỹ năng: sử dụng thành thạo các dụng cụ đo để đo được các chân tín hiệu điện áp ở ngõ vào – ra của IC, thực hiện các phép tính toán chuyển đổi giữa các mã số với nhau,....

+ Về thái độ: Đảm bảo an toàn và vệ sinh công nghiệp.

✚ Phương pháp:

+ Về kiến thức: Được đánh giá bằng hình thức kiểm tra viết, trắc nghiệm.

+ Về kỹ năng: Đánh giá kỹ năng thực hành đo được các thông số trong mạch điện theo yêu cầu của bài. Thực hiện việc chuyển đổi giữa các mã số với nhau.

+ Thái độ: Tỉ mỉ, cẩn thận, chính xác, ngăn nắp trong công việc.

BÀI 2:**FLIP –FLOP****Giới thiệu**

Flip- Flop (viết tắt là FF) là mạch dao động đa hài hai trạng thái bền, được xây dựng trên cơ sở các cổng logic và hoạt động theo một bảng trạng thái cho trước.

Một FF thường có:

- Một hoặc hai ngõ vào dữ liệu, một ngõ vào xung C_k và có thể có các ngõ vào với các chức năng khác.
- Hai ngõ ra, thường được ký hiệu là Q (ngõ ra chính) và \bar{Q} (ngõ ra phụ). Người ta thường dùng trạng thái của ngõ ra chính để chỉ trạng thái của FF. Nếu hai ngõ ra có trạng thái giống nhau ta nói FF ở **trạng thái cấm**.

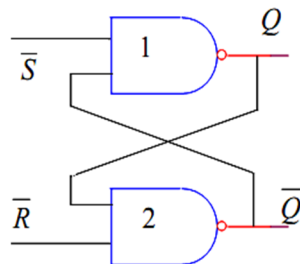
Flipflop có thể được tạo nên từ mạch chốt (latch). Điểm khác biệt giữa một mạch chốt và một FF là: FF chịu tác động của xung Clock (xung đồng hồ) còn mạch chốt thì không. Người ta gọi tên các FF khác nhau bằng cách dựa vào tên các ngõ vào dữ liệu của chúng.

Mục tiêu:

- Trình bày được cấu trúc, nguyên tắc hoạt động của các Flip - Flop
- Nêu được các ứng dụng của các Flip - Flop trong kỹ thuật
- Lắp ráp, sửa chữa, đo kiểm được các các Flip - Flop đúng yêu cầu kỹ thuật
- Rèn luyện tính tư duy, tác phong công nghiệp

Nội dung:**1. Flip - Flop R-S:**

- Mục tiêu: Nêu và phân biệt được sự khác nhau của Flip Flop sử dụng cổng NAND và cổng NOR.

1.1. FF R-S sử dụng cổng NAND

\bar{S}	\bar{R}	Q
0	0	x (cấm)
0	1	1
1	0	0
1	1	Q^0

Hình 2.1: Sơ đồ mạch và bảng trạng thái FF R-S sử dụng cổng NAND

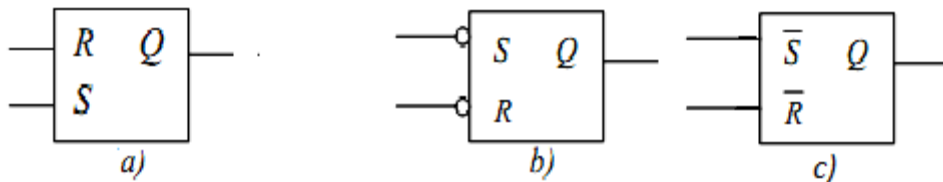
- Dựa vào bảng trạng thái của cổng NAND, ta có:

+ $\bar{S}=0, \bar{R}=1 \Rightarrow Q=1$. Khi $Q=1$ hồi tiếp về cổng NAND 2 nên cổng NAND 2 có 2 ngõ vào bằng 1, vậy $\bar{Q}=0$.

+ $\bar{S}=0, \bar{R}=1 \Rightarrow \bar{Q}=1$. Khi $\bar{Q}=1$ hồi tiếp về cổng NAND 1 nên cổng NAND 1 có 2 ngõ vào bằng 1, vậy $Q=0$.

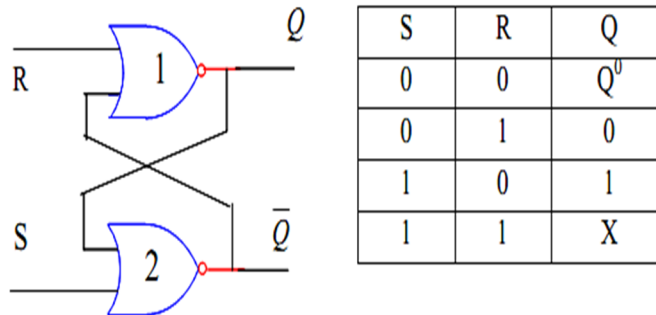
+ $\bar{S}=\bar{R}=0 \Rightarrow \bar{Q}=Q=1$ đây là trạng thái cấm.

+ $\bar{S}=\bar{R}=1$, Giả sử trạng thái trước đó có $Q=1, \bar{Q}=0 \Rightarrow$ hồi tiếp về cổng NAND 1 nên cổng NAND 1 có một ngõ vào bằng 0, vậy $Q=1 \Rightarrow$ FF R-S giữ nguyên trạng thái cũ. Như vậy gọi là FF không đồng bộ bởi vì chỉ cần một trong hai ngõ vào S hay R thay đổi thì ngõ ra cũng thay đổi theo. Về mặt kí hiệu, các FF R-S không đồng bộ được kí hiệu như hình 2.2:



Hình 2.2: a) R,S tác động mức 1 – b), c). R,S tác động mức 0

1.2 Mạch FF R-S sử dụng cổng NOR



Hình 2.3: Sơ đồ mạch và bảng trạng thái FF R-S sử dụng cổng NOR.

- Dựa vào bảng trạng thái của cổng NOR, ta có:

+ $S=0, R=1 \Rightarrow Q=0$. Khi $Q=0$ hồi tiếp về cổng NOR 2 nên cổng NOR 2 có 2 ngõ vào bằng 0 $\Rightarrow \bar{Q}=1$. Vậy $Q=0$ và $\bar{Q}=1$.

+ $S=0, R=1 \Rightarrow \bar{Q}=0$. Khi $\bar{Q}=0$ hồi tiếp về cổng NOR 1 nên cổng NOR 1 có 2 ngõ vào bằng 0 $\Rightarrow Q=1$. Vậy $Q=1$ và $\bar{Q}=0$.

+ Giả sử trạng thái trước đó có $S=0, R=1 \Rightarrow Q=0, \bar{Q}=1$.

✓ Nếu tín hiệu ngõ vào thay đổi thành: $S=0, R=0$ (R chuyển từ 1 \rightarrow 0) ta có :

▪ $S=0$ và $Q=0 \Rightarrow \bar{Q}=1$.

▪ $R=0$ và $\bar{Q}=1 \Rightarrow Q=0 \Rightarrow$ FF R-S giữ nguyên trạng thái trước đó.

+ Giả sử trạng thái trước đó có $S = 1, R = 0 \Rightarrow Q = 1, \bar{Q} = 0$.

✓ Nếu tín hiệu ngõ vào thay đổi thành: $R = 0, S = 0$ (S chuyển từ $1 \rightarrow 0$) ta có :

▪ $R = 0$ và $\bar{Q}Q = 0 \Rightarrow Q = 1$.

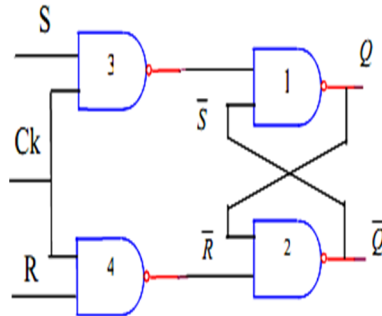
▪ $S = 0$ và $Q = 1 \Rightarrow \bar{Q} = 0 \Rightarrow$ FF R-S giữ nguyên trạng thái trước đó.

2. FF R-S tác động theo xung lệnh

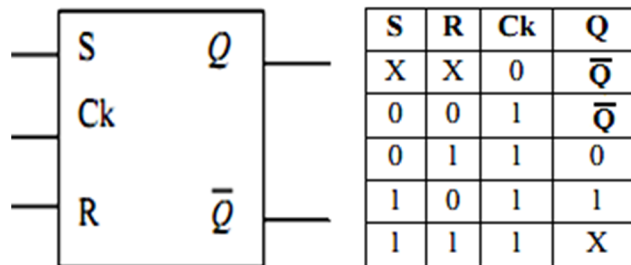
- Mục tiêu: Nêu vai trò FF R-S khi có sự thay đổi tín hiệu vào và ra của xung clock .

Xét sơ đồ FF R-S đồng bộ với sơ đồ mạch, ký hiệu và bảng trạng thái hoạt động như hình 2.4a,b.

Trong đó : Ck là tín hiệu điều khiển đồng bộ hay tín hiệu xung Clock (tín hiệu xung đồng hồ).



Hình 2.4a: Sơ đồ logic của FF R-S tác động theo xung lệnh



Hình 2.4b : Ký hiệu và bảng trạng thái của FF R-S tác động theo xung lệnh

- $CK = 0$: cổng NAND 3 và 4 khóa không cho dữ liệu đưa vào, vì cổng NAND 3 và 4 đều có ít nhất một ngõ vào $CK = 0 \Rightarrow \bar{S} = \bar{R} = 1 \Rightarrow Q = \bar{Q}$: FF R-S giữ nguyên trạng thái cũ.

- $CK = 1$: cổng NAND 3 và 4 mở. Ngõ ra Q sẽ thay đổi tùy thuộc vào trạng thái của S và R.

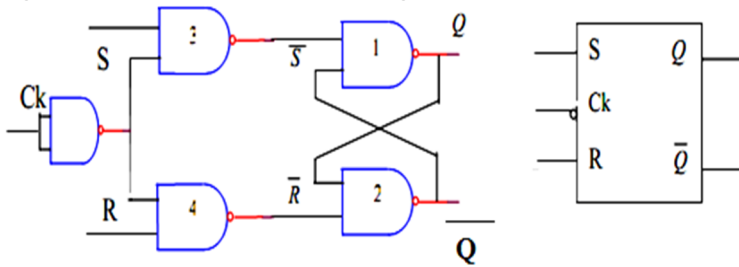
+ $S = 0, R = 0 \Rightarrow \bar{S} = 1, \bar{R} = 1 \Rightarrow \bar{Q} = Q$

+ $S = 0, R = 1 \Rightarrow \bar{S} = 1, \bar{R} = 0 \Rightarrow Q = 0$

+ $S = 1, R = 0 \Rightarrow \bar{S} = 0, \bar{R} = 1 \Rightarrow Q = 1$

+ $S = 1, R = 1 \Rightarrow \bar{S} = 0, \bar{R} = 0 \Rightarrow Q = X$

Trong trường hợp này tín hiệu đồng bộ Ck tác động mức 1, nếu tín hiệu Ck tác động mức 0 ta mắc thêm cổng đảo như hình 2.5



Hình 2.5: Sơ đồ logic và ký hiệu FF R-S của mức 0

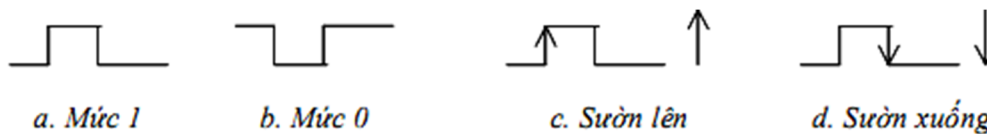
❖ **Định nghĩa xung Clock và các tác động của xung Clock**

Theo trên ta thấy các ngõ ra của FF chỉ thay đổi khi $C = 1$. Tuy nhiên sự thay đổi ở ngõ vào là liên tục thì không thể xác định trạng thái ngõ ra tại thời điểm bất kỳ. Để tránh điều này lệnh C được thay bằng các xung điện tuần tự theo thời gian và mỗi khi xuất hiện một xung ngõ ra của các FF thay đổi trạng thái một lần.

Các xung điện như vậy gọi là xung nhịp hay xung đồng hồ ký hiệu là C_K . Xung Clock thường là một chuỗi xung hình chữ nhật hoặc sóng hình vuông. Xung Clock được phân phối đến tất cả các bộ phận của hệ thống. Và hầu hết ngõ ra của hệ thống chỉ thay đổi trạng thái khi có một xung Clock thực hiện một bước chuyển tiếp.

Tùy thuộc vào mức tích cực của tín hiệu đồng bộ C_k , chúng ta có các loại tín hiệu điều khiển như hình 2.6.

- + C_k điều khiển theo mức 1
- + C_k điều khiển theo mức 0
- + C_k điều khiển theo sườn lên (sườn trước)
- + C_k điều khiển theo sườn xuống (sườn sau)

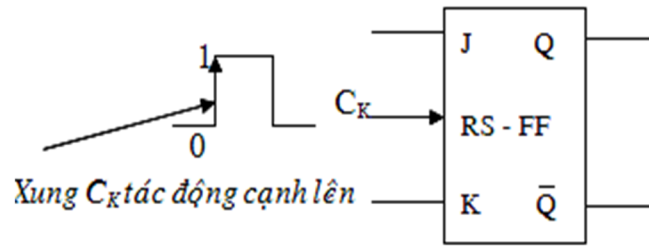


Hình 2.6: Các loại tín hiệu điều khiển của C_k

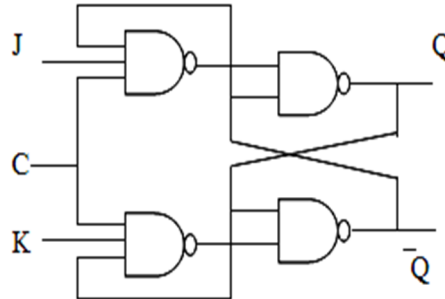
3. Flip - Flop J-K

- Mục tiêu: Nêu vai trò FF J-K khi có sự thay đổi tín hiệu vào và ra của xung clock.

- Cấu trúc mạch logic như hình 2.7 a,b.



Hình 2.7a: Ký hiệu FF J-K



Hình 2.7b: Cấu trúc mạch logic FF J - K

Bảng trạng thái FF J-K:

Bảng TT2-1

C_k	J	K	Q^k
↑	0	0	Q (nhớ)
↑	0	1	0 (xóa)
↑	1	0	1 (lập)
↑	1	1	\bar{Q} (thay đổi trạng thái theo mỗi xung nhịp)

Trong đó:

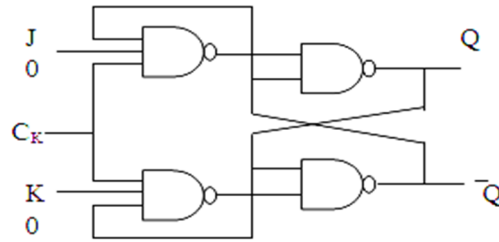
- J, K là các ngõ vào dữ liệu.
- Q, \bar{Q} là các ngõ ra.
- Ck là tín hiệu xung đồng bộ
- Q^k là trạng thái ngõ ra

❖ *Giải thích hoạt động của FF J-K theo bảng trạng thái TT2-1:*

Khi chưa có CK tức $CK = 0$ thì bất chấp ngõ vào J, K trạng thái ngõ ra sau tăng thứ 1 là 1 ta có $Q^k = Q$ tức trạng thái trước đó của mạch.

• Ta xét các trường hợp khi có xung CK

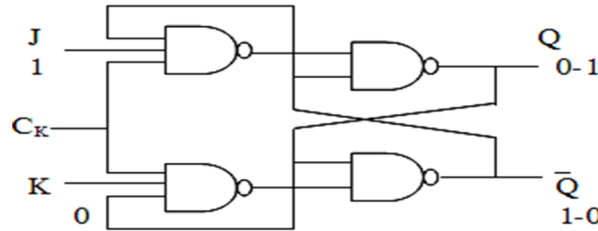
➤ Trường hợp J = 0, K = 0 tương tự như trên ta cũng có $Q^k = Q$ như hình 2.8



Hình 2.8

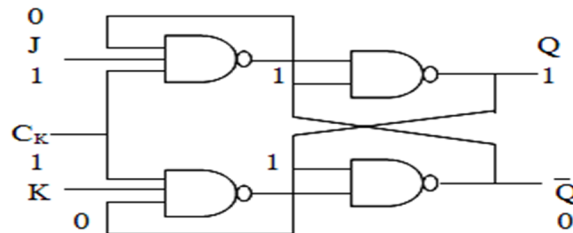
➤ Trường hợp $J = 1, K = 0$.

+ Giả sử $Q = 0$ khi có xung mạch sẽ biến đổi trạng thái như hình 2.9



Hình 2.9

+ Giả sử $Q = 1$ trạng thái của mạch như hình 2.10



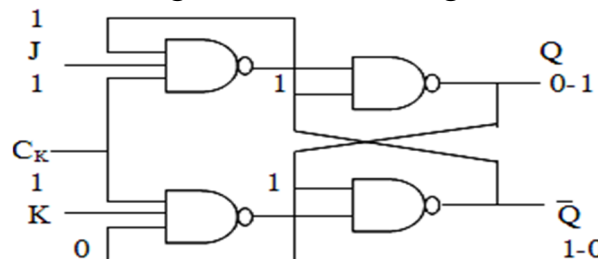
Hình 2.10

Khi có xung mạch không đổi trạng thái tức $Q^k = Q = 1$. Ta thấy rằng khi $J = 1, K = 0$ khi có xung đồng hồ (xung clock) tác động trạng thái ngõ ra bắt buộc là $Q^k = 1$

➤ Trường hợp $J = 0, K = 1$ lý luận tương tự ta được $Q^k = 1$

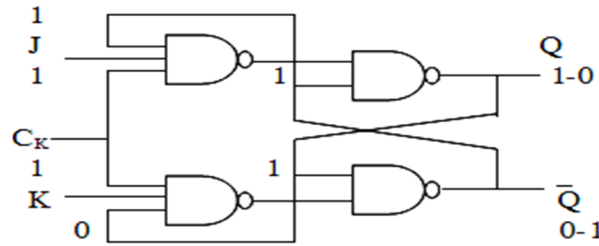
➤ Trường hợp $J = 1, K = 1$.

+ Giả sử $Q = 0$ khi có xung mạch sẽ đổi trạng thái như hình 2.11



Hình 2.11

+ Giả sử $Q = 1$ khi có xung tương tự mạch sẽ đổi trạng thái như hình 2.12



Hình 2.12

Ta thấy trường hợp này mạch luôn thay đổi trạng thái so với trước đó khi có xung tác động $Q^k = Q$

❖ **Giải thích hoạt động của Flip - Flop J-K theo dạng sóng tín hiệu như hình 2.13**

- Giả sử ban đầu $J = K = 0, Q = 1$ thì $Q_0 = 1$

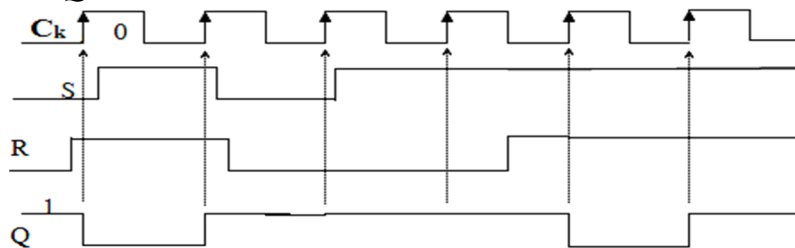
Tại cạnh lên thứ nhất của xung CK xuất hiện, $J = 0, K = 1$ thì FF bị xóa về trạng thái $Q = 0$.

Tại cạnh lên thứ hai của xung CK xuất hiện, $J = 1, K = 1$ thì FF bị lật trạng thái so với trạng thái trước đó $Q = 1$.

Tại cạnh lên thứ ba của xung CK xuất hiện, $J = 0, K = 0$ thì FF vẫn giữ nguyên trạng thái trước đó $Q = 1$.

Tại cạnh lên thứ tư của xung CK xuất hiện, $J = 0, K = 0$ đây là điều kiện thiết lập $Q = 1$, tuy nhiên trước đó $Q = 1$ nên trạng thái này được giữ nguyên.

Tại cạnh lên kế tiếp của xung CK xuất hiện, $J = 1, K = 1$ thì FF bị lật trạng thái trước đó làm cho $Q = 0$.

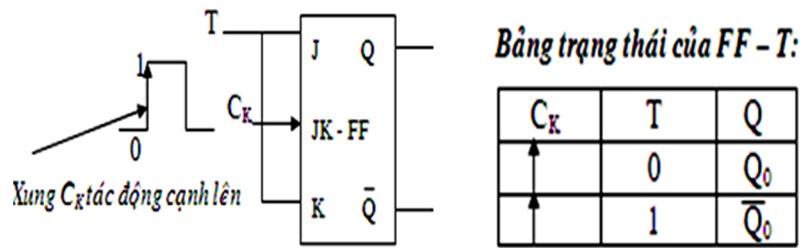


Hình 2.13

4. Flip - Flop T

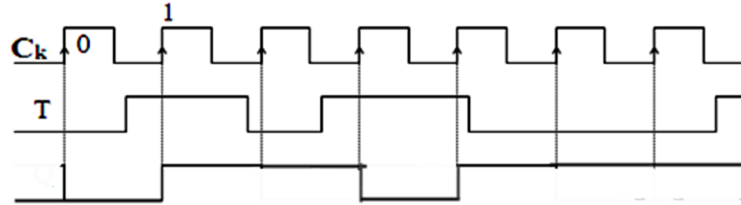
- Mục tiêu: Nêu vai trò FF T khi có sự thay đổi trạng thái vào và ra của xung clock.

Mạch FF – T được xây dựng từ FF – JK bằng cách nối chung J và K lại với nhau và bảng trạng thái như hình 2.14:



Hình 2.14: Mạch FF - T và bảng trạng thái

Dạng sóng của ngõ ra Q theo ngõ vào T khi có xung CK tác động như hình 2.15 :



Hình 2.15

• **Giải thích hoạt động của FF - T theo tác động của xung CK:**

Giả sử trạng thái ban đầu $T = 0, Q = 0$.

Tại cạnh lên của xung CK lần thứ nhất xuất hiện $T = 0$ vì thế $Q = 0$.

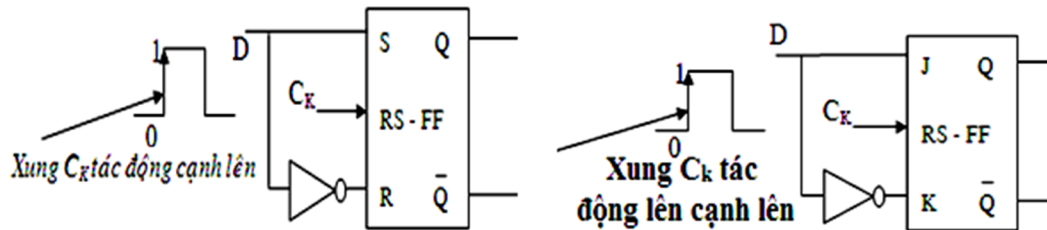
Tại cạnh lên của xung CK lần thứ hai xuất hiện $T = 1$ vì thế ngõ ra Q của FF bị lật trạng thái trước đó tức là $Q = 1$.

Tại cạnh lên của xung CK lần thứ ba xuất hiện $T = 0$ thì ngõ ra của FF giữ nguyên trạng thái trước đó tức là $Q = 1$. Tương tự tại các cạnh lên kế tiếp của xung CK ngõ ra Q thay đổi theo ngõ vào T như bảng trạng thái hình 2.14.

5. Flip - Flop D

- *Mục tiêu: Nêu vai trò FF D khi có sự thay đổi tín hiệu vào và ra của xung clock*

Flip - Flop D được xây dựng trên FF - RS hoặc FF - JK bằng cách thêm vào cổng đảo và được kết nối như hình 2.16 :



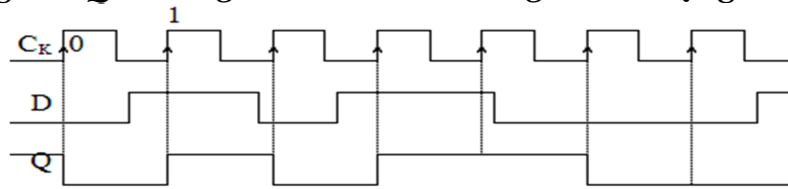
Hình 2.16

Bảng trạng thái TT2-2:

Bảng TT2-2

C_k	D	Q
↑	0	0
↑	1	1

Dạng sóng của ngõ ra Q theo ngõ vào D khi có xung C_K tác động hình 2.17 :



Hình 2.17

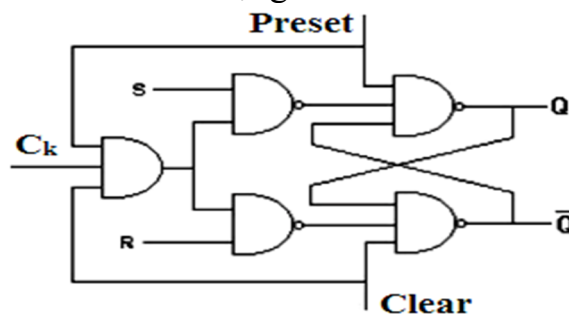
❖ Giả sử trạng thái ban đầu $D = 0, Q = 1$.

- Tại cạnh lên của xung CK lần thứ nhất xuất hiện $D = 0$ vì thế $Q = 0$.
- Tại cạnh lên của xung CK lần thứ hai xuất hiện $D = 1$ vì thế $Q = 1$.
- Tại cạnh lên của xung CK lần thứ ba xuất hiện $D = 0$ vì thế $Q = 0$.
- Tương tự tại các cạnh lên kế tiếp của xung CK ngõ ra Q thay đổi theo ngõ vào D.

6. Flip - Flop với ngõ vào Preset và Clear

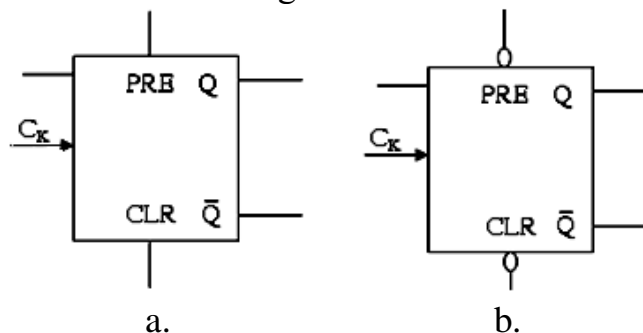
- Mục tiêu: Trình bày vai trò của FF khi có sự thay đổi tín hiệu vào và ra của xung clock khi có sự tác động của Preset và clear .

Tính chất của FF là có trạng thái ngõ ra bất kỳ khi mở máy. Trong nhiều trường hợp, có thể đặt trước ngõ ra $Q=1$ hoặc $Q = 0$, Vì vậy để xác lập trạng thái ban đầu của các FF người ta thêm vào FF với các ngõ vào Preset (đặt trước $Q=1$) và ngõ vào Clear (xóa $Q = 0$), mạch có dạng hình 2.18 và hình 2.19a,b là ký hiệu của FF RS có ngõ vào Preset và Clear tác động ở mức cao và mức thấp.



Hình 2.18: FF với các ngõ vào Preset và Clear

Ký hiệu của các FF với các ngõ vào Preset và Clear như hình 2.19a, b



Hình 2.19: a. PRE và CLR tác động ở mức cao

b. PRE và CLR tác động ở mức thấp

Bảng trạng thái TT2-3:

Bảng TT2-3

PRE	CLR	Q	\overline{Q}
0	0	Tác động theo ngõ vào	Tác động theo ngõ ra
0	1	0	1
1	0	1	0
1	1	Trạng thái cấm	Trạng thái cấm

Giải thích nguyên lý hoạt động:

Khi PRE = 0 và CLR = 0 thì PRE, CLR không tác dụng (mỗi cổng NAND có một ngõ vào là 1) tức là FF tác động theo ngõ vào.

Khi PRE = 0 và CLR = 1 khi đó PRE không tác dụng, còn CLR tác dụng Q= 1 và Q = 0 bất chấp điều kiện ngõ vào.

Khi PRE = 1 và CLR = 0 khi đó PRE tác dụng, còn CLR không tác dụng Q= 1 và Q = 0 bất chấp điều kiện ngõ vào.

Khi PRE = 1 và CLR = 1 là trạng thái cấm vì không thể đặt trước và xóa đồng thời. Tại một thời điểm không thể tác động cả PRE và CLR.

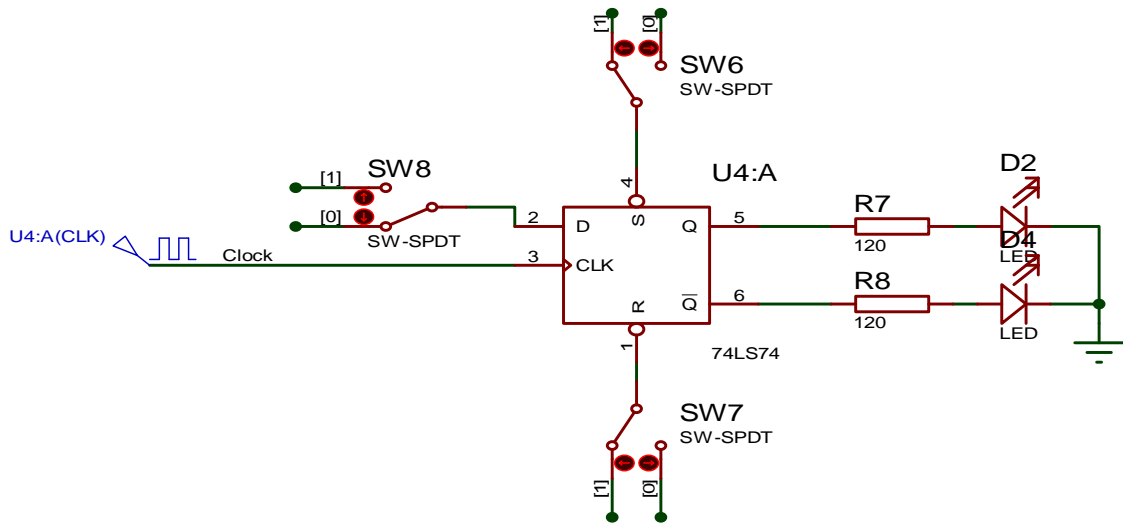
7. Lắp ráp một số mạch ứng dụng cơ bản

Ráp mạch kiểm tra hoạt động của IC:

7.1. IC 74LS74 – Flip Flop D

Bước 1: Tắt nguồn.

Bước 2: Nối dây như hình. Chân 7 nối đất GND, mức [0], chân 14 nối nguồn Vcc, mức [1]. Các Chân S, R nối các với công tắc.



Bước 3: Bật nguồn và thay đổi D, S, R lần lượt theo trình tự theo bảng TT2-4.

Bước 4: Quan sát Q, Q'. Ghi nhận vào bảng TT2-4.

Bảng TT2-4.

S	<u>R</u>	CLOCK	D	Q	Q'
[1]	[0]	[x]	[x]		
[0]	[1]	[x]	[x]		
[1]	[1]	↓	[0]		
[1]	[1]	↓	[1]		
[1]	[1]	Không xung	[1]		

*x là mức logic tùy ý [0], hoặc [1].

Bước 5: Tắt nguồn.

Bước 6: Nhận xét.

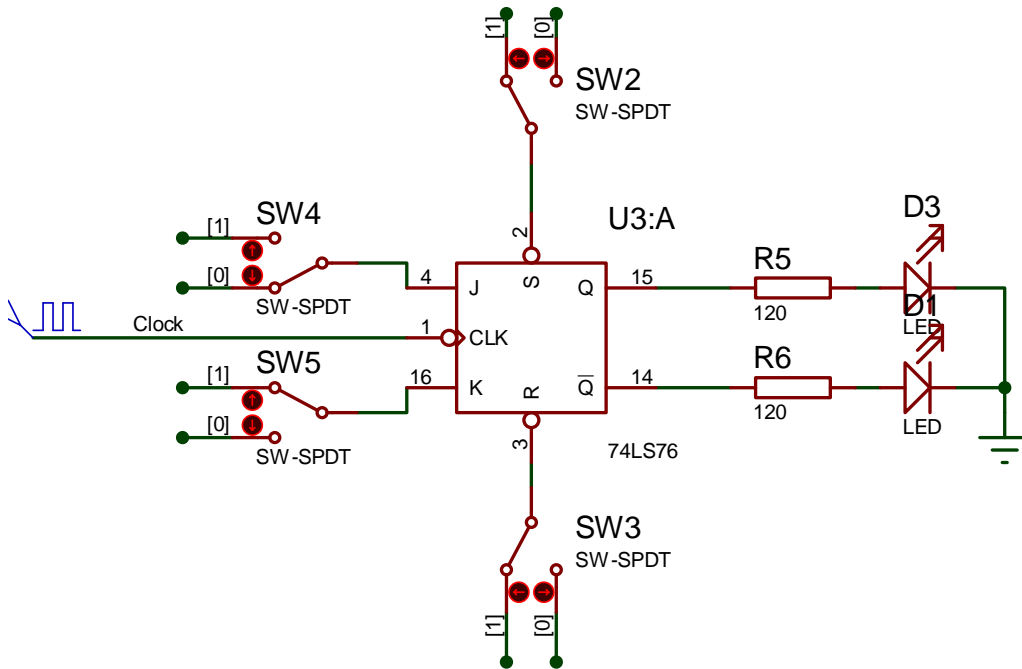
- Khi 1 chân S hoặc R tác động (mức thấp) thì Q, Q':.....
- Khi chân S và R không tác động (mức cao) thì khi có xung Clock thì

Q, Q' theo.....

7.2. IC 74LS76 - Flip Flop JK

Bước 1: Tắt nguồn.

Bước 2: Nối dây như hình. Chân 7 nối đất GND, mức [0], chân 14 nối nguồn Vcc, mức [1]. Các Chân S, R, J, K nối các với công tắc.



Bước 3: Bật nguồn và thay đổi J, K lần lượt theo trình tự theo bảng TT2-5.

Bước 4: Quan sát Q, Q'. Ghi nhận vào bảng TT2-5.

Bảng TT2-5

S	<u>R</u>	CLOCK	J	K	Q	Q ₋
[1]	[0]	[x]	[x]	[x]		
[0]	[1]	[x]	[x]	[x]		
[1]	[1]	↓	[0]	[0]		

[1]	[1]	↓	[0]	[1]		
[1]	[1]	↓	[1]	[0]		
[1]	[1]	↓	[1]	[1]		
[1]	[1]	Không xung	[1]	[1]		

*x là mức logic tùy ý [0], hoặc [1].

Bước 5: Tắt nguồn.

Bước 6: Nhận xét.

- Khi 1 chân S hoặc R tác động (mức thấp) thì Q, Q':.....
- Khi chân S và R không tác động (mức cao) thì khi có xung Clock thì Q, Q' theo.....nếu J khác K.
- Khi chân S và R không tác động (mức cao) thì khi có xung Clock thì Q, Q' sẽ.....nếu J và K nối với nguồn Vcc [1].
- Khi chân S và R không tác động (mức cao) thì khi có xung Clock thì Q, Q' sẽ.....nếu J và K nối với đất GND [0].

➤ YÊU CẦU VỀ ĐÁNH GIÁ KẾT QUẢ HỌC TẬP BÀI 2

✚ Nội dung:

+ Về kiến thức: Trình bày được khái niệm và phân biệt sự khác nhau giữa các họ của Flip flop (FF), hiểu được các bảng chân trị (bảng sự thật) của mỗi FF.

+ Về kỹ năng: sử dụng thành thạo các dụng cụ đo để đo được các chân tín hiệu điện áp ở ngõ vào – ra của IC, lắp ráp một số mạch cơ bản,....

+ Về thái độ: Đảm bảo an toàn và vệ sinh công nghiệp.

✚ Phương pháp:

+ Về kiến thức: Được đánh giá bằng hình thức kiểm tra viết, trắc nghiệm.

+ Về kỹ năng: Đánh giá kỹ năng thực hành đo được các thông số trong mạch điện theo yêu cầu của bài, lắp ráp một số mạch cơ bản

+ Thái độ: Tỉ mỉ, cẩn thận, chính xác, ngăn nắp trong công việc.

BÀI 3:**MẠCH ĐẾM VÀ THANH GHI****Giới thiệu:**

Mạch đếm là một mạch dãy đơn giản được xây dựng từ các phân tử nhớ và các phân tử tổ hợp.

Các mạch đếm là thành phần cơ bản của các hệ thống số chúng được sử dụng để đếm thời gian, chia tần số, điều khiển các mạch khác.

Trong máy tính, thanh ghi (tên thường gọi của mạch ghi dịch) là nơi lưu tạm dữ liệu để thực hiện các phép tính, các lệnh cơ bản như ghi dữ liệu, dịch thông tin Ngoài ra, mạch ghi dịch còn những ứng dụng khác như: tạo mạch đếm vòng, biến đổi dữ liệu nối tiếp \leftrightarrow song song, dùng thiết kế các mạch đèn trang trí, quảng cáo....

Mục tiêu:

- Trình bày được cấu tạo, nguyên lý hoạt động các mạch đếm và thanh ghi thông dụng.
- Nêu được các ứng dụng của các mạch đếm và thanh ghi trong kỹ thuật.
- Lắp ráp, sửa chữa, đo kiểm được các các mạch đếm và thanh ghi đúng yêu cầu kỹ thuật.
- Rèn luyện tính tỉ mỉ, chính xác, an toàn và vệ sinh công nghiệp.

Nội dung:**1. Mạch đếm**

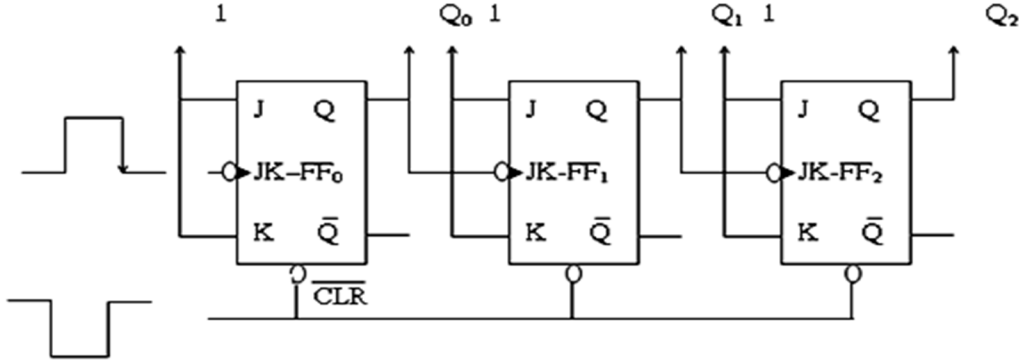
- Mục tiêu: Phân biệt được mạch đếm lên, đếm xuống đồng bộ và không đồng bộ những tác động ảnh hưởng đến mạch đếm như tần số, điện áp... Trình bày được ưu nhược điểm mạch đếm vòng và vòng xoắn (Johnson), mạch đếm với số đếm đặt trước.

Mạch đếm thực hiện chức năng đếm lên hoặc đếm xuống dưới tác động của xung đồng hồ (xung CK). Mạch đếm có thể chia làm hai loại như sau:

- Mạch đếm không đồng bộ là mạch đếm mà người ta sử dụng các FF liên kết với nhau theo dạng nối tiếp. Mỗi ngõ ra của một FF đồng thời làm xung CK cho tầng sau. Vì vậy các FF sẽ đổi trạng thái một cách tuần tự từ FF đầu tiên đến FF cuối cùng.
- Mạch đếm đồng bộ các FF được kích hoạt song song bởi xung CK, điều này làm cho các FF thay đổi trạng thái đồng thời.

1.1. Mạch đếm lên không đồng bộ

Xây dựng mạch đếm lên nhị phân 3 bit, hình 3.1



Hình 3.1: Mạch đếm lên không đồng bộ 3 bit

Mạch đếm lên nhị phân 3 bit với xung CK tác động cạnh xuống và ngõ vào xóa CLR tích cực ở mức thấp.

Bảng trạng thái:

Bảng TT3-1

C _K	Q ₂	Q ₁	Q ₀
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
8	0	0	0

Giải thích hoạt động của mạch:

Giả sử trạng thái ban đầu các ngõ ra $Q_0 = Q_1 = Q_2 = 0$.

Các ngõ vào J, K của FF đều nối lên mức cao nên các FF luôn lật trạng thái ngõ ra khi có xung CK tác động cạnh xuống.

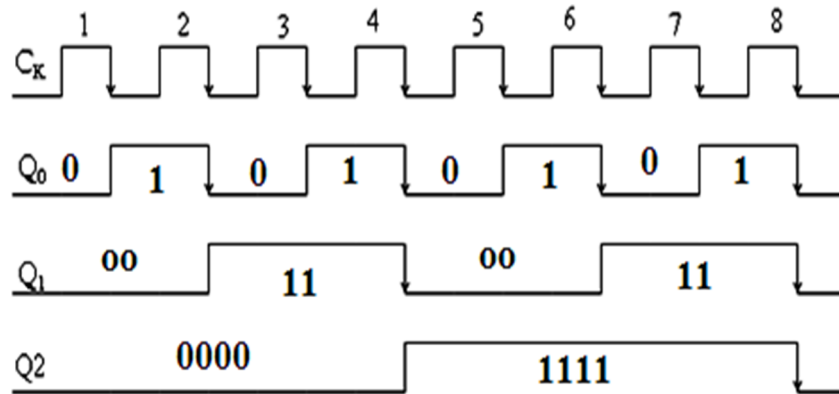
Khi xuất hiện cạnh xuống của xung CK thứ nhất Q_0 thay đổi trạng thái từ $Q_0 = 0$ sang $Q_0 = 1$. Còn Q_1 vẫn bằng 0 do FF chưa được tác động.

Khi xuất hiện cạnh xuống của xung CK thứ hai Q_0 thay đổi trạng thái từ $Q_0 = 1$ sang $Q_0 = 0$ làm CK1 thay đổi theo. Lúc đó CK1 thay đổi trạng thái từ $Ck1 = Q_0 = 1$ sang $Ck1 = Q_0 = 0$ làm ngõ ra Q_1 của FF1 thay đổi trạng thái từ $Q_1 = 0$ sang $Q_1 = 1$.

Với cạnh xuống của xung CK thứ ba tương tự ta có Q_0 thay đổi trạng thái từ $Q_0 = 0$ sang $Q_0 = 1$.

Quá trình cứ xảy ra tại cạnh xuống của xung CK và như vậy mạch đã thực hiện đếm lên nhị phân 3 bit.

Dạng sóng tín hiệu, hình 3.2 :



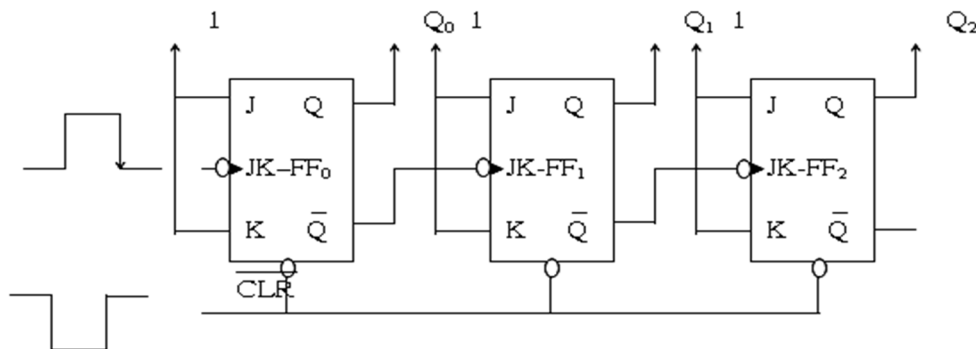
Hình 3.2: Dạng sóng tín hiệu

Ta thấy ngõ ra của các FF là các mã số nhị phân 3 bit có giá trị từ 0000 – 1111. Giá trị của số đếm tăng dần theo xung CK.

Dựa vào dạng sóng tín hiệu ta thấy: Tần số của $Q_0 = f/2$, tần số của $Q_1 = f/4$ và tần số của $Q_2 = f/4$.

1.2. Mạch đếm xuống không đồng bộ

❖ *Xây dựng mạch đếm xuống nhị phân 3 bit, hình 3.3*



Hình 3.3: Mạch đếm xuống không đồng bộ 3 bit

Mạch đếm xuống nhị phân 3 bit với xung CK tác động cạnh xuống và ngõ vào xóa CLR tích cực ở mức thấp.

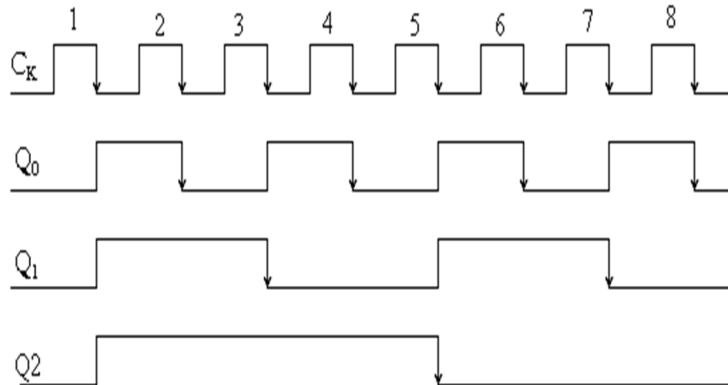
Bảng trạng thái:

Bảng TT3-2

C_K	Q_2	Q_1	Q_0
0	0	0	0
1	1	1	1

2	1	1	0
3	1	0	1
4	1	0	0
5	0	1	1
6	0	1	0
7	0	0	1
8	0	0	0

Dạng sóng tín hiệu hình 3.4:

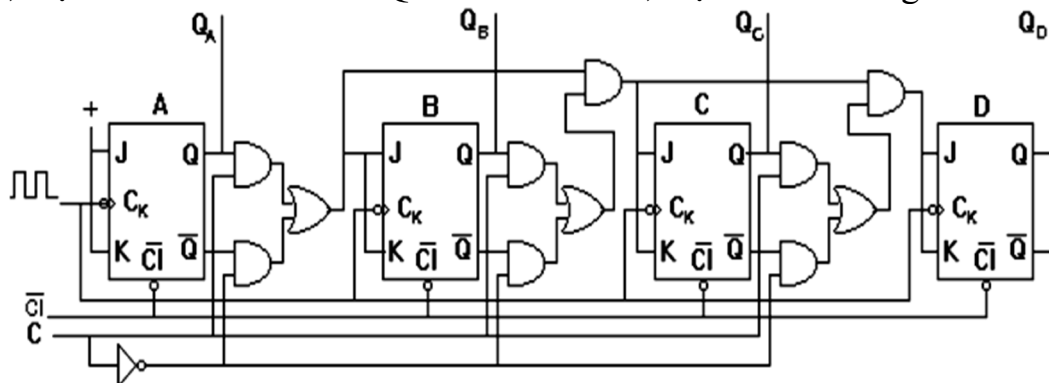


Hình 3.4: Dạng sóng tín hiệu

- Nếu thực hiện đếm xuống dùng xung C_k tác động cạnh xuống thì:
 - Xung CK đầu tiên tác động bình thường
 - Ngõ ra Q của tầng trước nối đến CK của tầng kế cận.

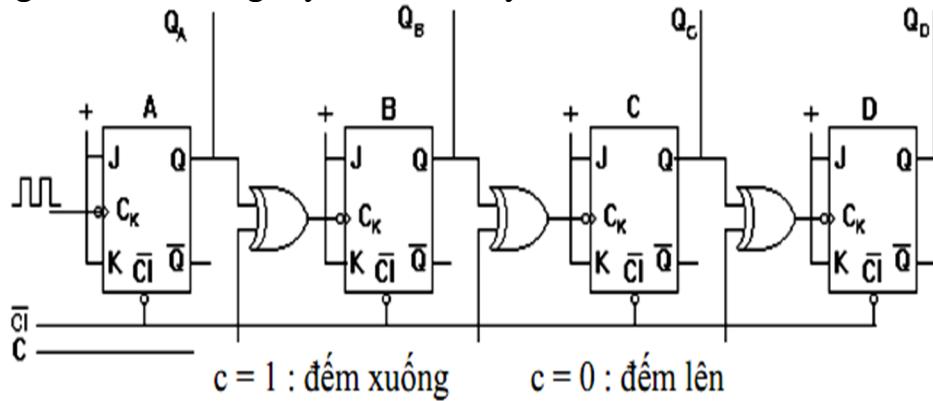
1.3. Mạch đếm lên, đếm xuống không đồng bộ (n=4):

Để có mạch đếm lên hoặc đếm xuống người ta dùng các mạch đa hợp 2→1 (hai trạng thái 1 ngõ ra) với ngõ vào điều khiển C chung để chọn Q hoặc Q đảo đưa vào tầng sau qua các cổng NAND. Trong mạch hình 3.5 dưới đây khi $C = 1$, Q nối vào C_k , mạch đếm lên và $C = 0$, Q đảo nối vào C_k , mạch đếm xuống.



Hình 3.5

Trên thực tế, để đơn giản, ta có thể thay đa hợp 2→1 bởi một cổng EX-OR (hình 3.6), ngõ điều khiển C nối vào một ngõ vào cổng EX-OR, ngõ vào còn lại nối với ngõ ra Q của FF và ngõ ra của cổng EX-OR nối vào ngõ vào C của FF sau, mạch cũng đếm lên/xuống tùy vào $C=0$ hay $C=1$.



Hình 3.6

1.4. Mạch đếm đồng bộ

Trong mạch đếm đồng bộ các FF chịu tác động đồng thời của xung đếm C_K
Ví dụ: Thực hiện mạch đếm lên đồng bộ 3 bit với CK tác động cạnh xuống
 Khảo sát bảng trạng thái TT3-3.:

Bảng TT3-3

C_K	Q_2	Q_1	Q_0
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
8	0	0	0

Nhận xét:

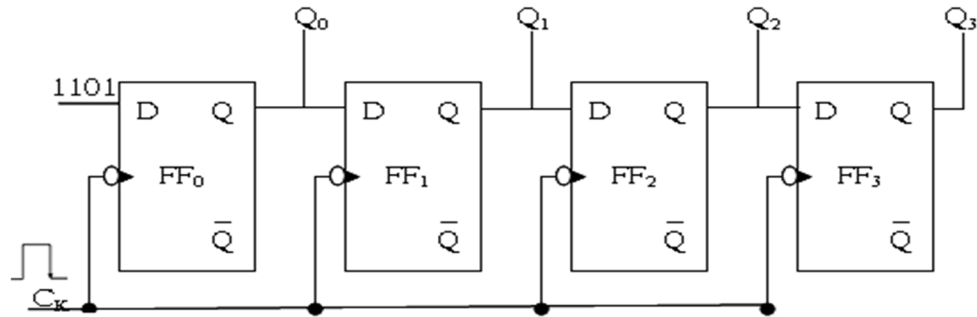
➤ Q_0 đổi
– 1 và từ
xung C_K
1.

➤ Q_1 đổi
– 1 và từ
xung C_K
vậy $J_1 =$

➤ Q_2 đổi trạng thái từ 0 – 1 và từ 1 – 0 khi có xung C_K và khi $Q_0 = 1$ và $Q_1=1$,
vậy $J_2 = K_2 = Q_0Q_1$.

trạng thái từ 0
1 – 0 khi có
vậy $J_0 = K_0 =$

trạng thái từ 0
1 – 0 khi có
và khi $Q_0 = 1$,
 $K_1 = Q_0$.



Hình 3.9 : Thanh ghi vào nối tiếp ra song song dịch phải

❖ Nguyên tắc hoạt động:

Giả sử cho dữ liệu ngõ vào $D_{in} = 11101$ như hình, ban đầu $Q_3Q_2Q_1Q_0 = 0000$

$D_0 = 1, D_1 = 0, D_2 = 0, D_3 = 0$ tại C_{K1} $Q_0 = 1, Q_1 = 0, Q_2 = 0, Q_3 = 0$.

$D_0 = 0, D_1 = 1, D_2 = 0, D_3 = 0$ tại C_{K2} $Q_0 = 0, Q_1 = 1, Q_2 = 0, Q_3 = 0$.

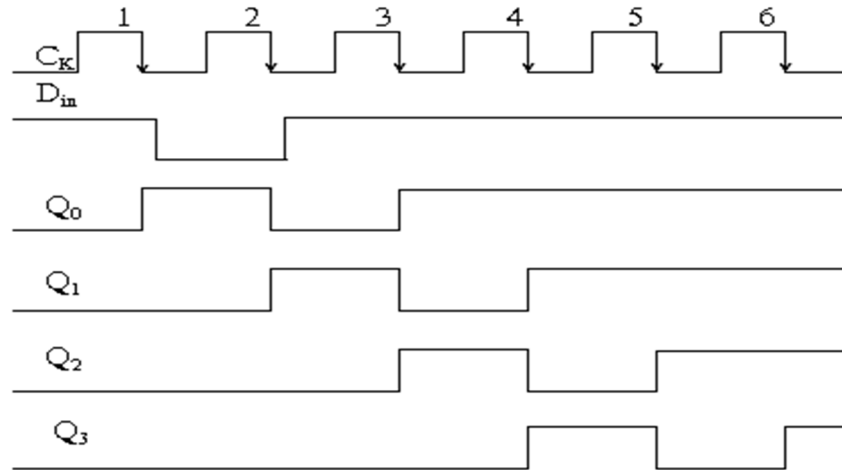
$D_0 = 1, D_1 = 1, D_2 = 1, D_3 = 0$ tại C_{K3} $Q_0 = 1, Q_1 = 0, Q_2 = 1, Q_3 = 0$.

$D_0 = 1, D_1 = 1, D_2 = 0, D_3 = 1$ tại C_{K4} $Q_0 = 1, Q_1 = 1, Q_2 = 0, Q_3 = 1$.

$D_0 = 1, D_1 = 1, D_2 = 1, D_3 = 0$ tại C_{K5} $Q_0 = 1, Q_1 = 1, Q_2 = 0, Q_3 = 1$.

$D_0 = 1, D_1 = 1, D_2 = 1, D_3 = 1$ tại C_{K6} $Q_0 = 1, Q_1 = 1, Q_2 = 1, Q_3 = 1$.

Dạng sóng tín hiệu hình 3.10:



Hình 3.10: Tín hiệu thanh ghi vào nối tiếp ra song song dịch phải

2.2. Thanh ghi vào nối tiếp ra song song dịch trái

❖ Nguyên tắc hoạt động:

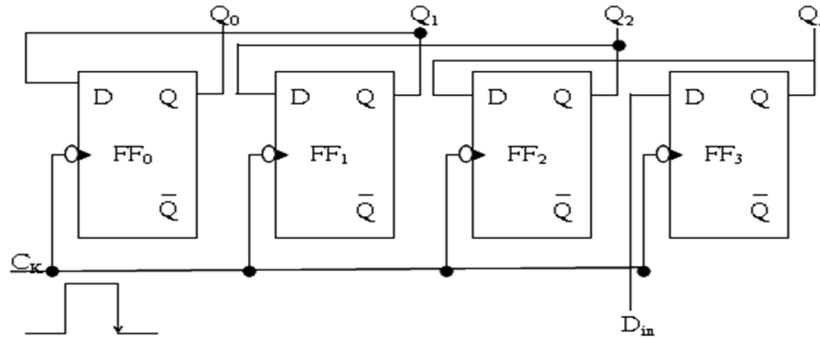
Giả sử cho dữ liệu ngõ vào $D_{in} = 111101$ như hình, ban đầu $Q_3Q_2Q_1Q_0 = 0000$

$D_3 = 1, D_2 = 0, D_1 = 0, D_0 = 0$ tại CK_1 $Q_3 = 1, Q_2 = 0, Q_1 = 0, Q_0 = 0$.

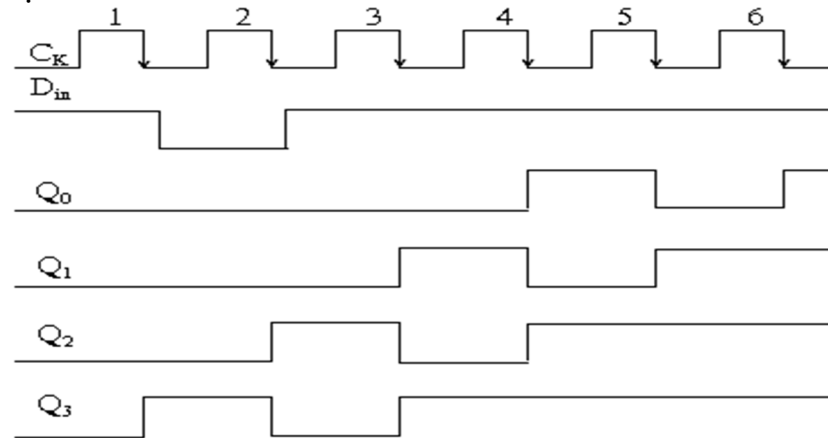
$D_3 = 0, D_2 = 1, D_1 = 0, D_0 = 0$ tại CK_1 $Q_3 = 0, Q_2 = 1, Q_1 = 0, Q_0 = 0$.

$D_3 = 1, D_2 = 1, D_1 = 1, D_0 = 0$ tại CK_1 $Q_3 = 1, Q_2 = 0, Q_1 = 1, Q_0 = 0$.

$D_3 = 1, D_2 = 1, D_1 = 0, D_0 = 1$ tại CK_1 $Q_3 = 1, Q_2 = 1, Q_1 = 0, Q_0 = 1$.



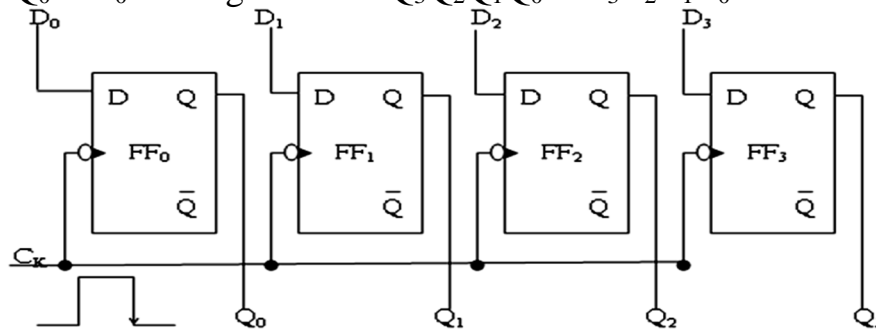
Hình 3.11 : Thanh ghi vào nối tiếp ra song song dịch trái
 Dạng sóng tín hiệu hình 3.12



Hình 3.12: Tín hiệu thanh ghi vào nối tiếp ra song song dịch trái

2.3. Thanh ghi vào song song ra song song

Giả sử dữ liệu vào là $D_3D_2D_1D_0 = B_3B_2B_1B_0$. Khi có cạnh xuống của xung Ck xuất hiện thì với $D_3 = B_3$ thì $Q_3 = B_3$, $D_2 = B_2$ thì $Q_2 = B_2$, $D_1 = B_1$ thì $Q_1 = B_1$, $D_0 = B_0$ thì $Q_0 = B_0$. Thì ngõ ra sẽ là $Q_3Q_2Q_1Q_0 = B_3B_2B_1B_0$ như hình 3.13

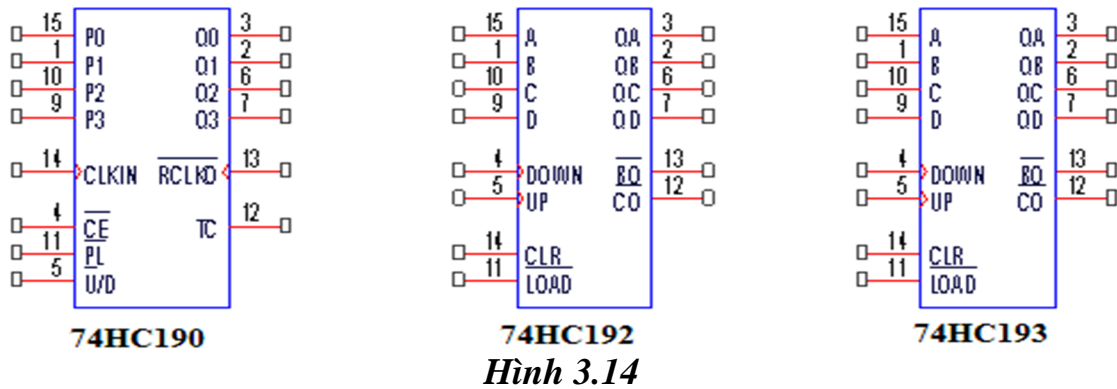


Hình 3.13: Thanh ghi vào song song ra song song

3. Giới thiệu một số IC đếm và thanh ghi thông dụng

- Mục tiêu: Phân biệt sự giống và khác nhau giữa các họ IC, chức năng và ứng dụng của nó vào các mạch điện.

IC đếm, hình 3.14



- Giải thích hoạt động của các họ IC:

+ **Nhóm 74LS160/161/162/163**

Cả 4 IC đều có cùng kiểu chân và các ngõ vào ra tương tự nhau, có xung ck nhảy ở cạnh xuống do đó trong cấu tạo có thêm mạch đệm sau ngõ đồng bộ, có khả năng nạp song song và preset đồng bộ.

- LS160 là IC đếm chia 10, còn LS161 và LS163 là IC đếm chia 16

- LS160 và LS161 có chân xoá CI không đồng bộ còn LS162, LS163 có chân xoá CI đồng bộ

+ **Nhóm 74LS190, 74LS191**

74LS190 là mạch đếm chia 10 còn 74LS191 là mạch đếm chia 16. Chúng có kiểu chân ra như nhau và chức năng cũng như nhau

- Chân EnG (enable gate) là ngõ vào cho phép tác động ở thấp; chân U/D là ngõ cho phép đếm lên hay xuống (thấp)

- Chân RC (ripple clock) xung rợn sẽ xuống thấp khi đếm hết số; được dùng cho việc nối tầng và xác định tần số của xung max/min khi nối tới chân LD (load) của tầng sau.

Cách nối tầng như sau : chân RC của tầng trước nối tới chân ck của tầng sau, khi này tuy mỗi mạch là đếm đồng bộ nhưng toàn mạch là đếm bất đồng bộ. Cách khác là chân RC của tầng trước nối tới chân EnG của tầng sau, xung ck dùng đồng bộ tới các tầng.

+ **Nhóm 74LS192, LS193**

LS192 là mạch đếm chia 10 còn LS193 là mạch đếm chia 16

Cả 2 loại đều cấu trúc chân như nhau và đều có khả năng đếm lên hay xuống

Khi đếm lên xung ck được đưa vào chân CKU còn khi đếm xuống xung ck được đưa vào chân CKD

Khi đếm lên hết số chân Carry xuống thấp, khi đếm xuống hết số chân Borrow xuống thấp. 2 chân này dùng khi cần nối tầng nhiều IC

Đặc biệt mạch có thể đặt trước số đếm ban đầu ở các chân ABCD và chân LD xuống thấp để cho phép nạp số ban đầu.

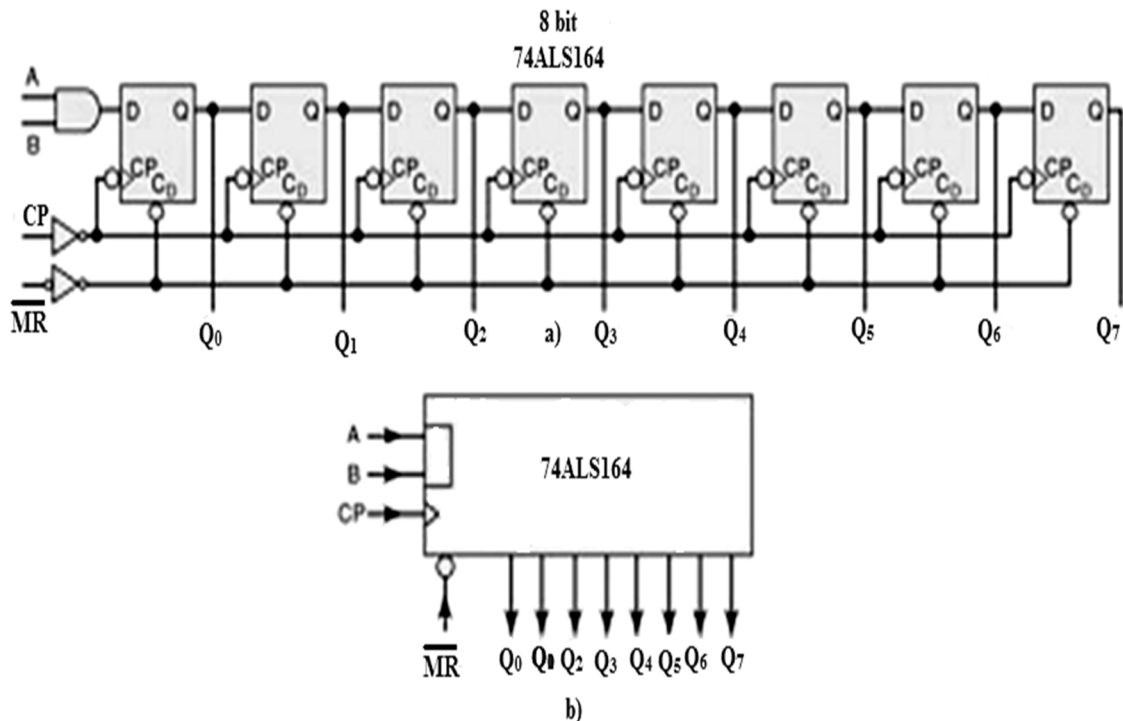
+ Nhóm 74HC/HCT4518 và 74HC/HCT4520

Đây là 2 IC đếm đồng bộ họ CMOS dùng FF D về hoạt động cũng tương tự như những IC kể trên nhưng vì cấu tạo cơ bản từ các cổng logic CMOS nên tần số hoạt động thấp hơn so với những IC cùng loại bù lại tiêu tán công suất thấp.

4518 là IC đếm chia 10 còn 4520 là IC đếm chia 16. Cấu trúc chân và đặc tính của chúng như nhau. Chân nhận xung ck và chân cho phép E có thể chuyển đổi chức năng cho nhau do đó mạch có thể tác động cạnh xuống hay cạnh lên

Mạch cũng cho phép nối tầng nhiều IC khi nối Q3 của tầng trước tới ngõ E của tầng sau.

IC thanh ghi 74LS164, hình 3.15

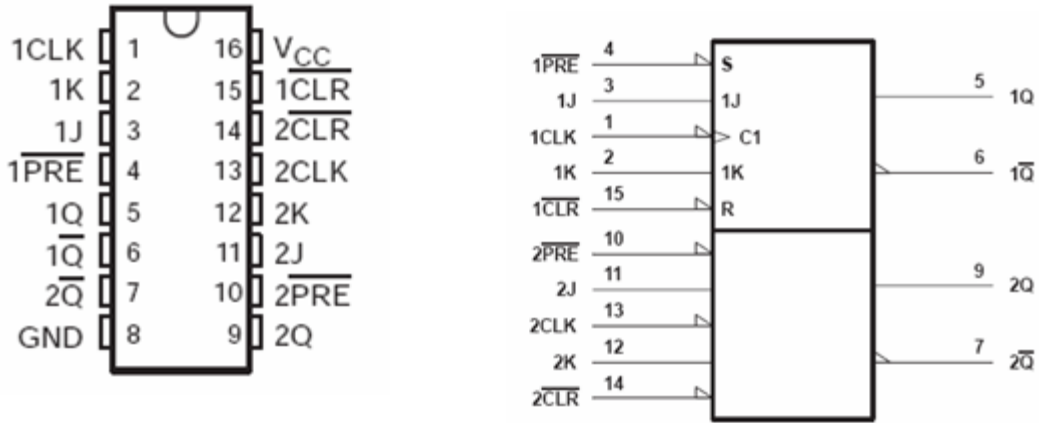


Hình 3.15: Thanh ghi 74LS164

4. Lắp ráp một số mạch ứng dụng cơ bản

- Mục tiêu: Lắp ráp, sửa chữa, đo kiểm được các mạch giải mã, mã hóa và hiển thị của các LED trong các mạch điện.

4.1. Khảo sát FF-IC 74LS112

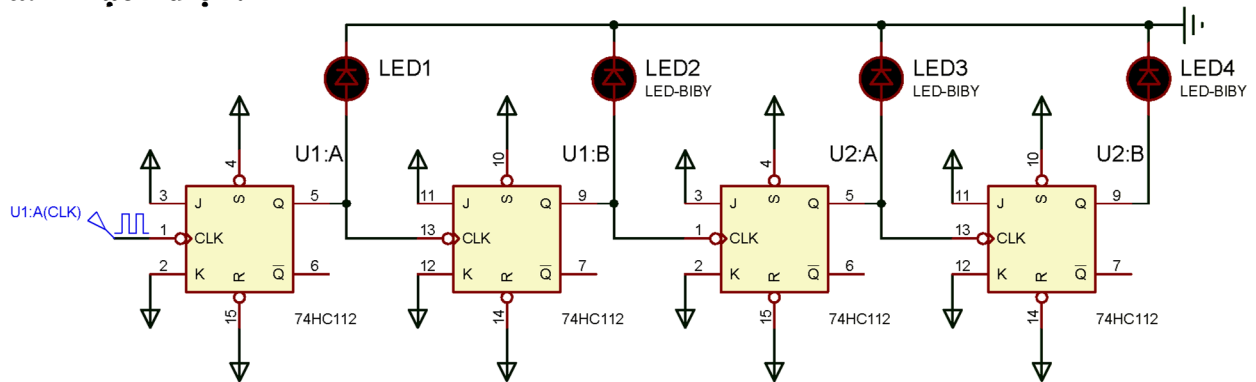


Hình 3.16: Sơ đồ chân của IC 74LS112

4.2. Ráp mạch đếm lên, xuống không đồng bộ

4.2.1. Đếm lên 4 bit:

a. Mạch điện:



Hình 3.17: Mạch đếm không đồng bộ 4 bit dùng IC74LS112

b. Các bước thực hiện:

Bước 1: Tắt nguồn

Bước 2: Ráp mạch như hình vẽ

Bước 3. Cấp nguồn cho mạch

Bước 4. Quan sát tín hiệu xung clk và tín hiệu ra trên 4 led để lập bảng trạng thái TT3-4:

Bảng TT3-4

Clk	Led4	Led3	Led2	Led1
0				
1				
2				
3				

4				
5				
6				
7				
8				
9				
10				
11				
12				
13				
14				
15				
16				

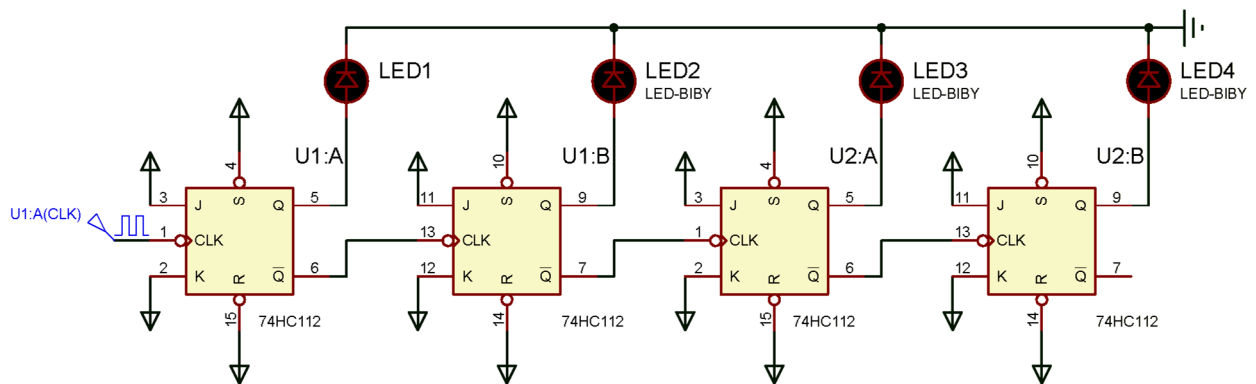
Bước 5: Tắt nguồn.

Nhận xét:

- Mạch mã mạch đếm lên không đồng bộ chân CLK kết nối như thế nào?

4.2.2. Đếm xuống không đồng bộ 4 bit:

a. Mạch điện



Hình 3.18. Mạch đếm xuống không đồng bộ 4 bit dùng IC74LS112.

b. Các bước thực hiện:

Bước 1: Tắt nguồn.

Bước 2: Lắp mạch như hình vẽ

Bước 2. Cấp nguồn cho mạch

Bước 3. Thay đổi tín hiệu ngõ vào, quan sát tín hiệu ngõ ra

Bước 4. Quan sát tín hiệu xung clk và tín hiệu ra trên 4 led để lập bảng trạng thái TT3-5:

Bảng TT3-5

Clk	Led4	Led3	Led2	Led1
0				
1				
2				
3				
4				
5				
6				
7				
8				
9				
10				
11				
12				
13				
14				
15				
16				

Bước 5: Tắt nguồn

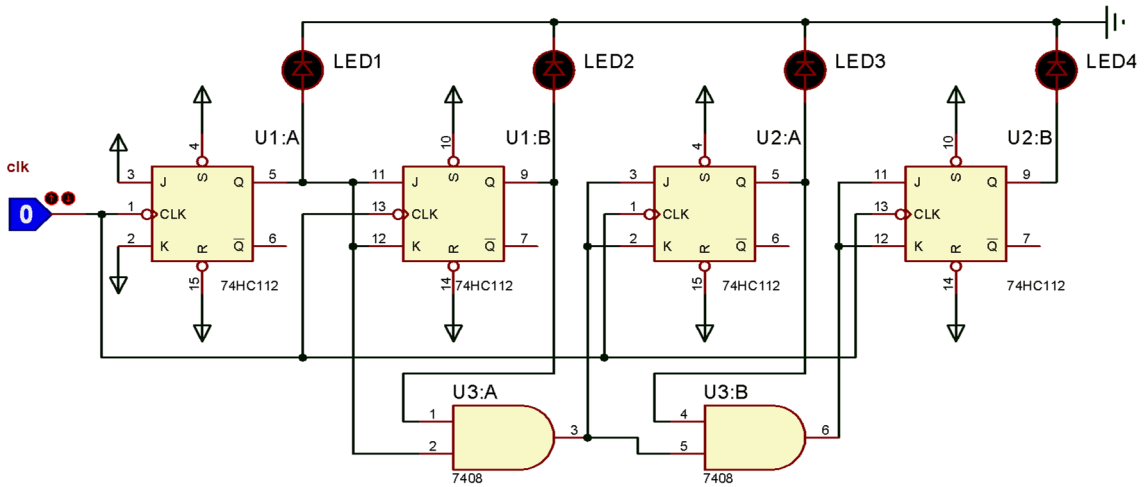
Nhận xét:

- Trình bày sự khác nhau giữa mạch đếm lên không đồng bộ và mạch đếm xuống không đồng bộ?

4.3. Ráp mạch đếm lên, xuống đồng bộ

4.3.1. Đếm lên đồng bộ 4 bit:

a. Mạch điện:



Hình 3.19: Mạch đếm lên đồng bộ 4 bit dùng IC 74LS112.

b. Các bước thực hiện:

Bước 1: Tắt nguồn

Bước 2: Ráp mạch như hình vẽ

Bước 3. Cấp nguồn cho mạch

Bước 4. Quan sát tín hiệu xung clk và tín hiệu ra trên 4 led để lập bảng trạng thái

TT3-6:

Bảng TT3-6

Clk	Led4	Led3	Led2	Led1
0				
1				
2				
3				
4				
5				
6				
7				
8				
9				
10				
11				
12				
13				
14				
15				
16				

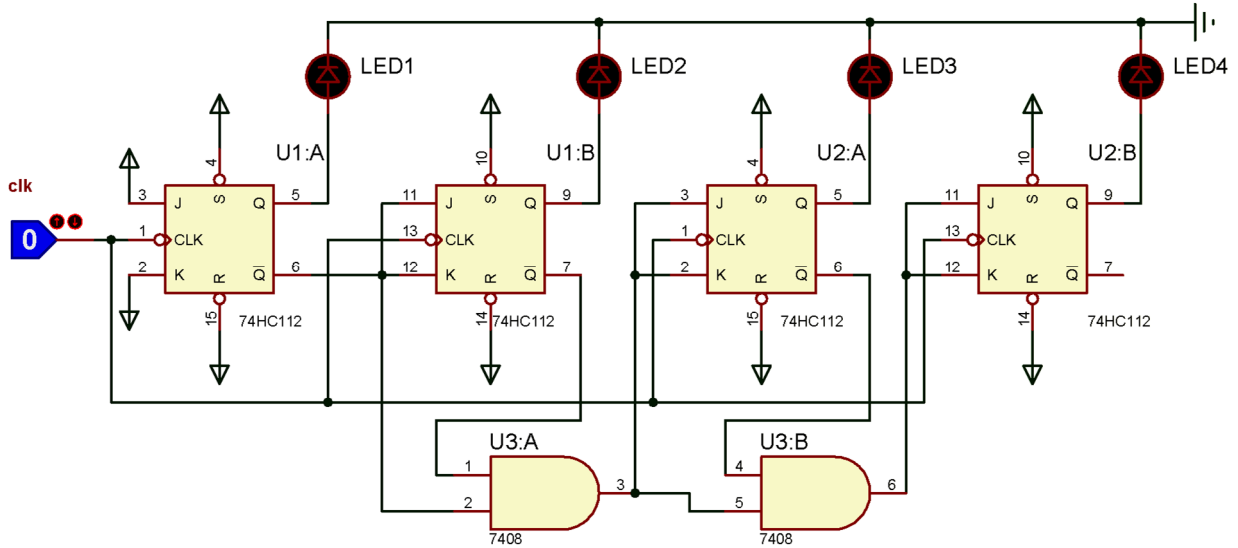
Bước 5: Tắt nguồn.

Nhận xét:

- Mạch mã mạch đếm lên đồng bộ chân CLK kết nối như thế nào?
- Chức năng của các cổng AND làm gì?

4.3.2. Đếm xuống đồng bộ 4 bit:

a. Mạch điện



Hình 3.20: Mạch đếm xuống không đồng bộ 4 bit dùng IC74LS112.

b. Các bước thực hiện:

- Bước 1: Tắt nguồn.
- Bước 2: Lắp mạch như hình vẽ
- Bước 2. Cấp nguồn cho mạch
- Bước 3. Thay đổi tín hiệu ngõ vào, quan sát tín hiệu ngõ ra
- Bước 4. Quan sát tín hiệu xung clk và tín hiệu ra trên 4 led để lập bảng trạng thái TT3-7:

Bảng TT3-7

Clk	Led4	Led3	Led2	Led1
0				
1				
2				
3				
4				
5				
6				
7				

8				
9				
10				
11				
12				
13				
14				
15				
16				

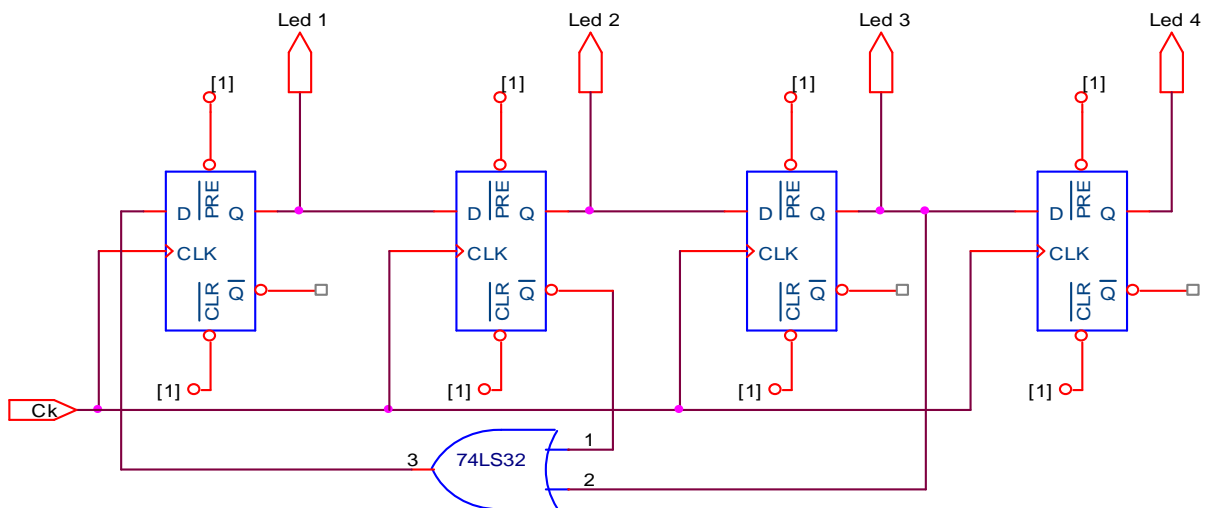
Bước 5: Tắt nguồn

Nhận xét:

- Chức năng của cổng AND trong mạch dùng để làm gì?

4.4. Ráp mạch thanh ghi dịch dùng IC74LS74

4.4.1 Mạch điện



Hình 3.21: Mạch thanh ghi dịch dùng IC74LS74.

4.4.2 Các bước thực hiện:

Bước 1: Tắt nguồn.

Bước 2: Lắp mạch như hình vẽ

Bước 2. Cấp nguồn cho mạch

Bước 3. Cấp xung cho mạch

Bước 4. Quan sát tín hiệu ra trên 4 led để lập bảng trạng thái TT3-8:

Bảng TT3-8

Clk	Led1	Led2	Led3	Led4
-----	------	------	------	------

0				
1				
2				
3				
4				
5				
6				
7				
8				

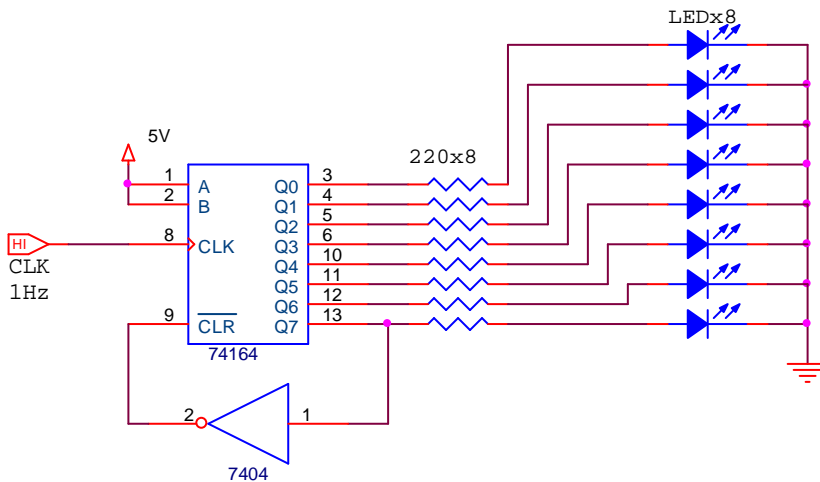
Bước 5: Tắt nguồn

Nhận xét:

Mạch thanh ghi trên, chức năng của cổng OR?

4.5. Ráp mạch sáng dần tắt hết

4.5.1 Mạch điện



Hình 3.22: Mạch thanh ghi sáng dần tắt hết dùng IC74164.

4.5.2 Các bước thực hiện:

Bước 1: Tắt nguồn.

Bước 2: Lắp mạch như hình vẽ

Bước 2. Cấp nguồn cho mạch

Bước 3. Cấp xung cho mạch

Bước 4. Quan sát tín hiệu ra trên 8 led để lập bảng trạng thái TT3-8:

Bảng TT3-8

Clk	Led1	Led2	Led3	Led4	Led5	Led6	Led7	Led8
-----	------	------	------	------	------	------	------	------

0								
1								
2								
3								
4								
5								
6								
7								
8								
9								

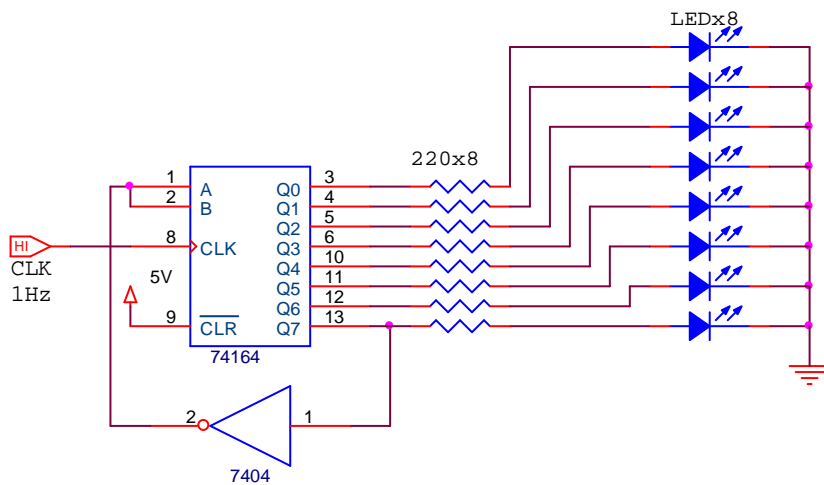
Bước 5: Tắt nguồn

Nhận xét:

Mạch thanh ghi trên, chức năng của cổng NOT?

4.6. Ráp mạch sáng đèn tắt dần

4.6.1 Mạch điện



Hình 3.23: Mạch thanh ghi sáng đèn tắt dần dùng IC74164.

4.6.2 Các bước thực hiện:

Bước 1: Tắt nguồn.

Bước 2: Lắp mạch như hình vẽ

Bước 2. Cấp nguồn cho mạch

Bước 3. Cấp xung cho mạch

Bước 4. Quan sát tín hiệu ra trên 8 led để lập bảng trạng thái TT3-9:

Bảng TT3-9

Clk	Led1	Led2	Led3	Led4	Led5	Led6	Led7	Led8
0								
1								
2								
3								
4								
5								
6								
7								
8								
9								

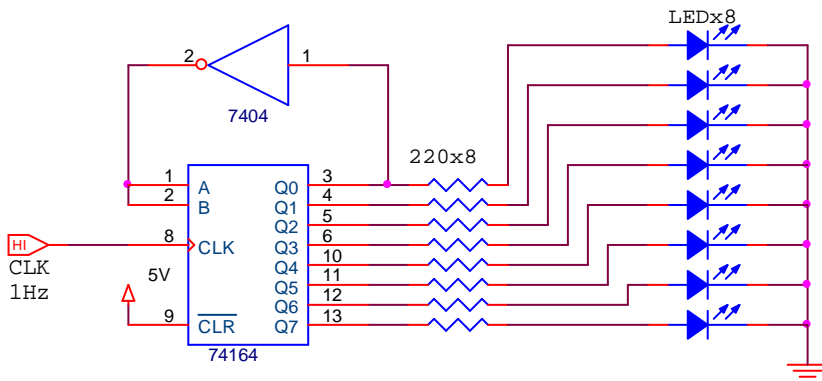
Bước 5: Tắt nguồn

Nhận xét:

Mạch thanh ghi trên, chức năng của cổng NOT?

4.7. Ráp mạch sáng tắt xen kẽ

4.7.1 Mạch điện



Hình 3.24: Mạch thanh ghi sáng tắt xen kẽ dùng IC74164.

4.7.2 Các bước thực hiện:

Bước 1: Tắt nguồn.

Bước 2: Lắp mạch như hình vẽ

Bước 2. Cấp nguồn cho mạch

Bước 3. Cấp xung cho mạch

Bước 4. Quan sát tín hiệu ra trên 8 led để lập bảng trạng thái TT3-10:

Bảng TT3-10

Clk	Led1	Led2	Led3	Led4	Led5	Led6	Led7	Led8

0									
1									
2									
3									
4									
5									
6									
7									
8									
9									

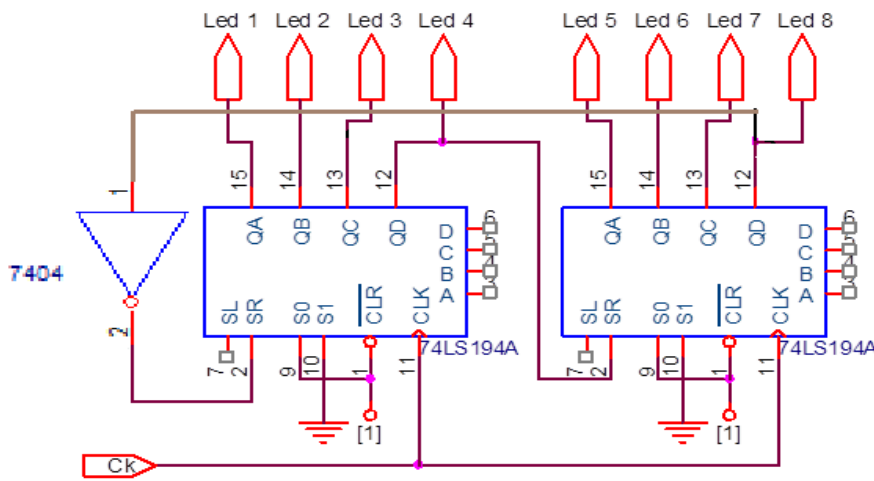
Bước 5: Tắt nguồn

Nhận xét:

Mạch thanh ghi trên, chức năng của cổng NOT?

4.8. Mạch sáng đèn và tắt đèn dùng 2 IC 74194

4.8.1 Mạch điện



Hình 3.25: Mạch thanh ghi sáng đèn và tắt đèn dùng 2 IC 74194.

4.8.2 Các bước thực hiện:

Bước 1: Tắt nguồn.

Bước 2: Lắp mạch như hình vẽ

Bước 2. Cấp nguồn cho mạch

Bước 3. Cấp xung cho mạch

Bước 4. Quan sát tín hiệu ra trên 8 led để lập bảng trạng thái TT3-11:

Bảng TT3-11

Clk	L1	L2	L3	L4	L5	L6	L7	L8	L9	L10	L11	L12	L13	L14	L15	L16
0																
1																
2																
3																
4																
5																
6																
7																
8																
9																
10																
11																
12																
13																
14																
15																
16																
17																

Bước 5: Tắt nguồn

Nhận xét:

Mạch thanh ghi trên, chức năng của cổng NOT?

➤ **YÊU CẦU VỀ ĐÁNH GIÁ KẾT QUẢ HỌC TẬP BÀI 3**

✚ Nội dung:

+ Về kiến thức: Trình bày được khái niệm và phân biệt sự khác nhau giữa các mạch đếm và các thanh ghi, hiểu được chức năng của các họ của IC

+ Về kỹ năng: sử dụng thành thạo các dụng cụ đo để đo được các chân tín hiệu điện áp ở ngõ vào – ra của IC, lắp ráp một số mạch cơ bản,....

+ Về thái độ: Đảm bảo an toàn và vệ sinh công nghiệp.

✚ Phương pháp:

+ Về kiến thức: Được đánh giá bằng hình thức kiểm tra viết, trắc nghiệm.

+ Về kỹ năng: Đánh giá kỹ năng thực hành đo được các thông số trong mạch điện theo yêu cầu của bài, lắp ráp một số mạch cơ bản

+ Thái độ: Tỉ mỉ, cẩn thận, chính xác, ngăn nắp trong công việc.

BÀI 4:**MẠCH LOGIC MSI****Giới thiệu:**

Bước tiếp theo trong sự phát triển của các mạch tích hợp, được thực hiện vào cuối những năm 1960, giới thiệu các thiết bị có chứa hàng trăm bán dẫn trên mỗi chip, được gọi là "**medium-scale integration**" (MSI).

Trong chương này chúng ta đề cập đến các mạch logic tổ hợp, tức là các mạch mà tín hiệu ở đầu ra chỉ phụ thuộc vào tín hiệu ở đầu vào của mạch tại thời điểm đang xét. Hoạt động của mạch tổ hợp được mô tả bằng các bảng trạng thái hoặc bằng các hàm chuyển mạch logic đặc trưng cho quan hệ giữa các đại lượng vào và ra của hệ thống

Trong chương 4 đề cập đến các mạch điện cụ thể thực hiện các chức năng khác nhau của hệ thống số. Các mạch điện này được thiết kế dựa trên các cổng logic tổ hợp. Các cổng logic này được tích hợp trong một IC cỡ vừa (MSI)

Mục tiêu:

- Trình bày được cấu trúc, nguyên lý của hệ thống mã hóa và giải mã.
- Trình bày được các phép toán logic, tạo kiểm và các loại IC thông dụng.
- Nêu được các ứng dụng của các mạch giải mã, mã hóa, ghép kênh và tách kênh trong kỹ thuật
- Lắp ráp, sửa chữa, đo kiểm được các các mạch giải mã, mã hóa, ghép kênh và tách kênh đúng yêu cầu kỹ thuật
- Rèn luyện tính tư duy, sáng tạo và chủ động trong quá trình thực hành

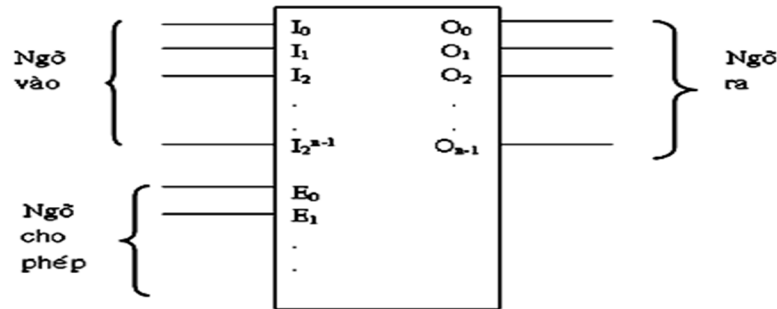
Nội dung**1. Mạch mã hóa (Encoder)**

- Mục tiêu: Trình bày được các sơ đồ, bảng trạng thái mã hóa của các kênh. Ưu nhược điểm của nó.

Mã hóa là gán các ký hiệu cho các đối tượng trong một tập hợp để thuận tiện cho việc thực hiện một yêu cầu cụ thể nào đó. Thí dụ mã BCD gán số nhị phân 4 bit cho từng số mã của số thập phân (từ 0 đến 9) để thuận tiện cho máy đọc một số có nhiều số mã; mã Gray dùng tiện lợi trong việc tối giản các hàm logic ...

1.1. Sơ đồ khối tổng quát

Sơ đồ khối tổng quát của một mạch mã hóa như hình 4.1



Hình 4.1: Sơ đồ khối tổng quát của một mạch mã hóa

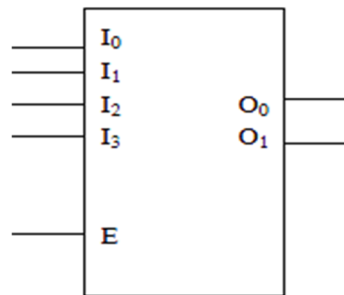
Bảng trạng thái: Bảng TT4-1

$I_0 I_1 \dots I_{2^{n-1}}$	$O_{n-1} \dots O_1 O_0$
1 0... 0	0.....0 0
0 1... 0	0.....0 1
.....
0 0....1	1.....1 1

Khi một ngõ vào được chọn ngõ ra có một tổ hợp nhị phân tương ứng. Với ngõ vào đầu tiên là 1 0...0 và ngõ vào cuối cùng là 00...1. Ngõ vào được chọn có mức logic 1 ta nói ngõ vào tác động ở mức cao và ngõ vào được chọn có mức logic 0 ta nói ngõ vào tác động ở mức thấp.

1.2. Mạch mã hóa từ 4 sang 2

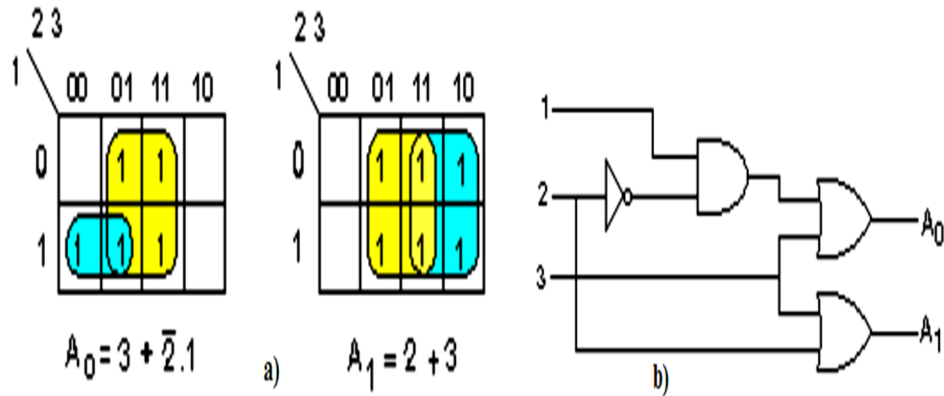
- Sơ đồ khối hình 4.2



Hình 4.2: Mạch mã hóa từ 4 sang 2

Nhận thấy biến 0 trong bảng trạng thái không ảnh hưởng đến kết quả nên ta chỉ vẽ bảng Karnaugh cho 3 biến 1, 2 và 3. Lưu ý, là do trong bảng trạng thái có các trường hợp bất chấp của biến nên ứng với một trị riêng của hàm ta có thể có đến 2 hoặc 4 số 1 trong bảng Karnaugh. Thí dụ với trị 1 của cả 2 hàm A_1 và A_0 ở dòng cuối cùng đưa đến 4 số 1 trong các ô 001, 011, 101 và 111 của 3 biến 123.

Từ bảng Karnaugh, ta có kết quả và mạch tương ứng. Trong mạch không có ngõ vào 0, điều này được hiểu là mạch sẽ chỉ báo số 0 khi không tác động vào ngõ vào nào.



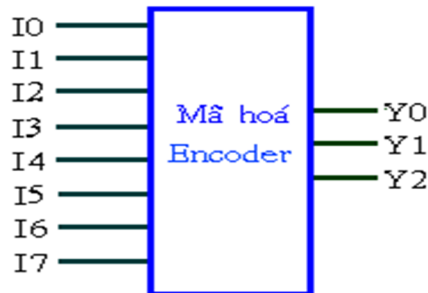
Hình 4.3: Bìa Karnaugh sơ đồ mạch mã hóa từ 4 sang 2

1.3. Mạch mã hóa từ 8 sang 3

Khảo sát một IC mã hóa 8 đường sang 3 đường. Trên thực tế khi chế tạo một IC, ngoài các ngõ vào/ra để thực hiện chức năng chính của nó, người ta thường dự trù thêm các ngõ vào và ra cho một số chức năng khác.

Mạch mã hoá 8 đường sang 3 đường còn gọi là mã hoá bát phân sang nhị phân (có 8 ngõ vào chuyển thành 3 ngõ ra dạng số nhị phân 3 bit). Nhưng bất cứ lúc nào cũng chỉ có 1 ngõ vào ở mức tích cực tương ứng với chỉ một tổ hợp mã số 3 ngõ ra; tức là mỗi 1 ngõ vào sẽ cho ra 1 mã số 3 bit khác nhau. Với 8 ngõ vào (I_0 đến I_7) thì sẽ có 8 tổ hợp ngõ ra nên chỉ cần 3 ngõ ra (Y_2, Y_1, Y_0)

Sơ đồ khối hình 4.4.



Hình 4.4: Khối mã hóa 8 sang 3

Bảng trạng thái TT4-2 là mạch mã hóa 8 sang 3:

Bảng TT4-2

Vào								Ra		
I_0	I_1	I_2	I_3	I_4	I_5	I_6	I_7	Y2	Y1	Y0
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	0	1	1	1	1

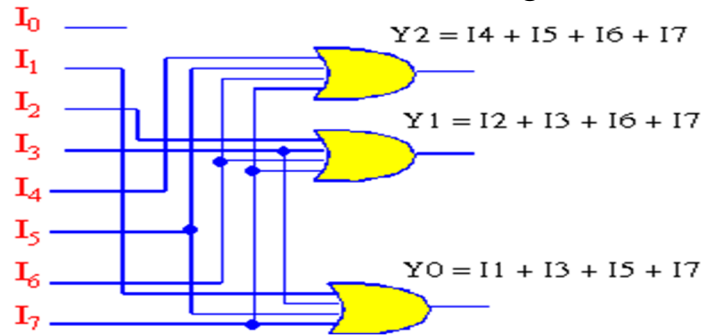
Từ bảng trên, ta có :

$$Y_0 = I_1 + I_3 + I_5 + I_7$$

$$Y_1 = I_2 + I_3 + I_6 + I_7$$

$$Y_2 = I_4 + I_5 + I_6 + I_7$$

Dựa vào 3 biểu thức trên ta có thể vẽ được mạch logic như hình 4.5:



Hình 4.5: Sơ đồ mạch 8 sang 3

2. Mạch giải mã (Decoder)

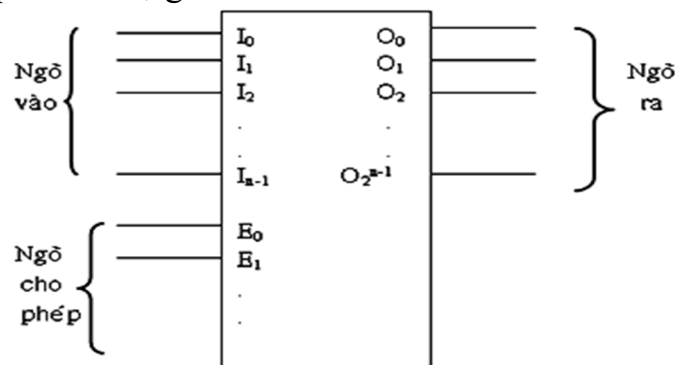
- *Mục tiêu: Trình bày được các sơ đồ, bảng trạng thái của mạch giải mã các kênh. Ưu nhược điểm của nó.*

Mạch giải mã là mạch có chức năng ngược lại với mạch mã hoá tức là nếu có 1 mã số áp vào ngõ vào thì tương ứng sẽ có 1 ngõ ra được tác động, mã ngõ vào thường ít hơn mã ngõ ra. Mạch giải mã được ứng dụng chính trong ghép kênh dữ liệu, hiển thị led 7 đoạn, giải mã địa chỉ bộ nhớ.

Mạch giải mã có nhiệm vụ chuyển đổi từ một mã nhị phân ngõ vào khi chúng tác động đồng thời đến các ngõ vào thành một tín hiệu logic duy nhất ở một ngõ ra nào đó tương ứng với một mã nhị phân đã tác động. Như vậy với n ngõ vào có thể nhận giá trị 0 hoặc 1 sẽ có 2^n tổ hợp ngõ ra.

- Ngõ ra tác động mức thấp mang giá trị 0
- Ngõ ra tác động mức cao mang giá trị 1

Sơ đồ khối tổng quát của bộ giải mã, hình 4.12 :

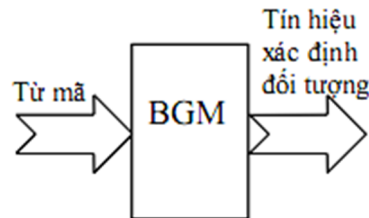


Hình 4.6: Sơ đồ khối tổng quát của bộ giải mã

2.1. Đặc điểm chung

Mạch giải mã có chức năng chính hình 4.7:

- Bộ giải mã thực hiện chức năng ngược với bộ mã hóa.
- Cung cấp thông tin ở đầu ra khi đầu vào xuất hiện tổ hợp các biến nhị phân ứng với 1 hay nhiều từ mã đã được chọn.
- Từ từ mã xác định được tín hiệu tương ứng với đối tượng đã mã hóa.



Hình 4.7: Chức năng mạch giải mã

Có 2 trường hợp giải mã:

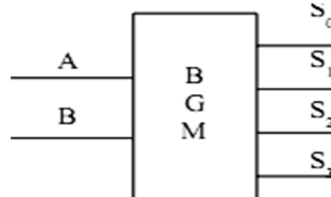
- Giải mã cho 1 từ mã

Nguyên lý: ứng với một tổ hợp cần giải mã ở đầu vào thì đầu ra bằng các tổ hợp đầu vào còn lại, đầu ra bằng 0.

- Giải mã cho toàn bộ mã

Nguyên lý: ứng với một tổ hợp nào đó ở đầu vào thì 1 trong các đầu ra bằng 1, các đầu ra còn lại bằng 0.

Ví dụ: Với bộ giải mã cho toàn bộ từ mã có 2 đầu ra như hình 4.8. Thì với $AB=00$, đầu ra $S_1, S_2, S_3 = 0$. Tương tự với các giá trị AB còn lại.

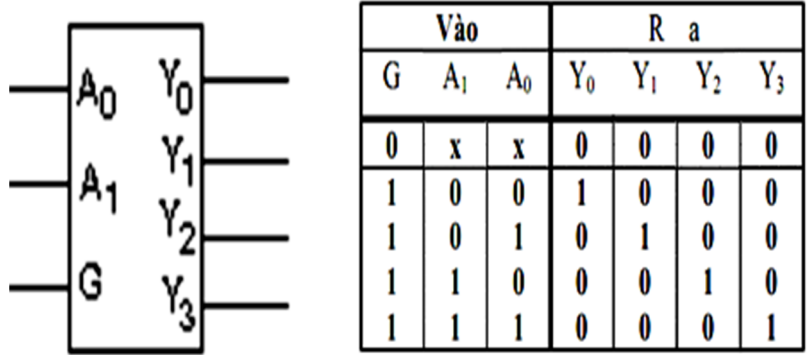


Hình 4.8

2.2. Mạch giải mã 2 sang 4

Thiết kế mạch giải mã 2 đường sang 4 đường (2 ngõ vào, 4 ngõ ra) có ngõ vào cho phép. Để đơn giản, ta xét mạch giải mã 2 đường sang 4 đường có các ngõ vào và ra đều tác động ở mức cao.

Sơ đồ khối, bảng trạng thái, các hàm ngõ ra và sơ đồ mạch hình 4.9



Hình 4.9: Sơ đồ khối và bảng trạng thái

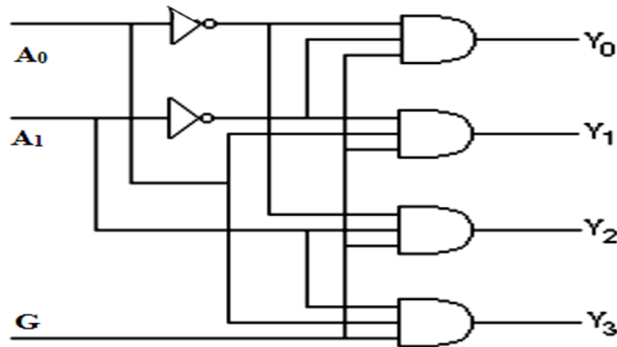
Các hàm ngõ ra của mạch giải mã 2 sang 4 hình 4.10

$$Y_0 = G \overline{A_1} \overline{A_0}$$

$$Y_1 = G \overline{A_1} A_0$$

$$Y_2 = G A_1 \overline{A_0}$$

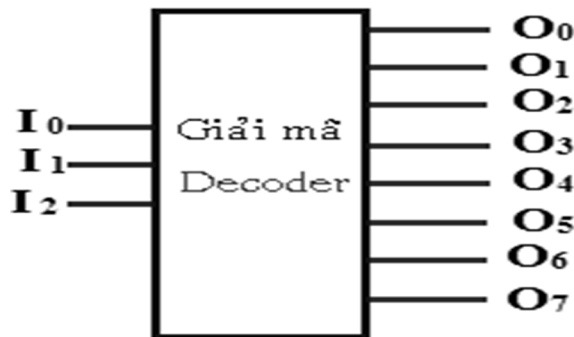
$$Y_3 = G A_1 A_0$$



Hình 4.10: Sơ đồ mạch giải mã 2 sang 4

2.3. Mạch giải mã 3 sang 8

Sơ đồ khối:



Hình 4.11: Sơ đồ khối

Bảng trạng thái TT4-3

Bảng TT4-3

E	I_2	I_1	I_0	O_0	O_1	O_2	O_3	O_4	O_5	O_6	O_7
0	x	x	x	x	x	x	x	x	x	x	x
1	0	0	0	1	0	0	0	0	0	0	0
1	0	0	1	0	1	0	0	0	0	0	0
1	0	1	0	0	0	1	0	0	0	0	0
1	0	1	1	0	0	0	1	0	0	0	0
1	1	0	0	0	0	0	0	1	0	0	0
1	1	0	1	0	0	0	0	0	1	0	0
1	1	1	0	0	0	0	0	0	0	1	0
1	1	1	1	0	0	0	0	0	0	0	1

Hàm số biểu diễn mối quan hệ ngõ vào – ngõ ra:

$$O_0 = E \bar{I}_0 \bar{I}_1 \bar{I}_2$$

$$O_1 = E I_0 \bar{I}_1 \bar{I}_2$$

$$O_2 = E \bar{I}_0 I_1 \bar{I}_2$$

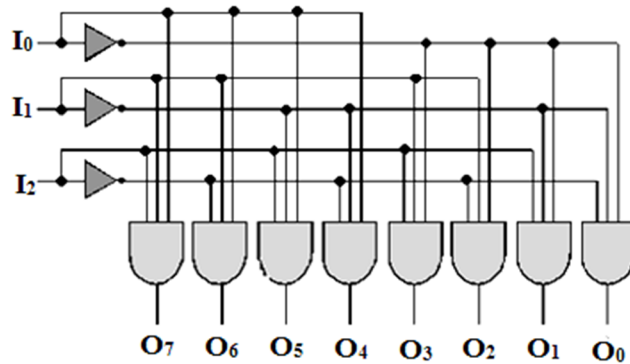
$$O_3 = E \bar{I}_0 \bar{I}_1 I_2$$

$$O_4 = E \bar{I}_0 I_1 I_2$$

$$O_5 = E I_0 \bar{I}_1 I_2$$

$$O_6 = E I_0 I_1 \bar{I}_2$$

$$O_7 = E I_0 I_1 I_2$$

**Hình 4.12: Sơ đồ mạch giải mã 3 sang 8**

3. Mạch ghép kênh

- Mục tiêu: Trình bày được các sơ đồ, bảng trạng thái mạch ghép kênh. Ưu nhược điểm của nó.

3.1. Tổng quát

Mạch ghép kênh, đa hợp (Multiplexer-MUX) là 1 dạng mạch tổ hợp cho phép chọn 1 trong nhiều đường ngõ vào song song (các kênh vào) để đưa tới 1 ngõ ra (gọi là kênh truyền nối tiếp). Việc chọn đường nào trong các đường ngõ vào do điều khiển bởi mã số.

Mã số này là dạng số nhị phân, tùy tổ hợp số nhị phân này mà ở bất kì thời điểm nào chỉ có 1 ngõ vào được chọn và cho phép đưa tới ngõ ra. Các mạch ghép kênh thường gặp là 2 sang 1, 4 sang 1, 8 sang 1... Nói chung là từ $2n$ sang 1.

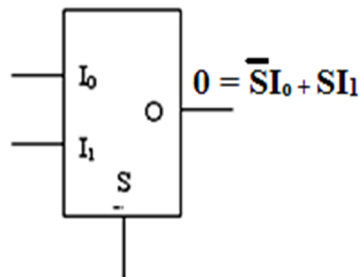
Các mạch ghép kênh ít ngõ vào có thể được kết hợp với nhau để tạo mạch ghép kênh nhiều ngõ vào. Ví dụ để tạo mạch ghép kênh 16:1 ta có thể dùng IC 74LS150 hoặc các IC tương tự, nhưng có 1 cách khác là ghép 2 IC 74LS151.

Các dữ liệu nhị phân nhiều bit, chẳng hạn mã ASCII, word,... thường được xử lí song song, tức là tất cả chúng được làm 1 lúc. Trong máy tính, dữ liệu được di chuyển từ nơi này đến nơi khác cùng 1 lúc trên các đường dẫn điện song song gọi là các bus. Khi dữ liệu được truyền đi qua khoảng cách dài chẳng hạn hàng chục mét thì cách truyền song song không còn thích hợp vì tốn nhiều đường dây, gây nhiễu,... Lúc này mạch dồn kênh có thể dùng như mạch chuyển đổi song song sang nối tiếp tương tự như mạch ghi dịch mà ta đã xét ở phần trước.

Các mạch dồn kênh với hoạt động logic như đã xét ở trước ngoài cách dùng để ghép nhiều đường ngõ vào còn có thể dùng để thiết kế mạch tổ hợp đôi khi rất dễ dàng vì: không cần phải đơn giản biểu thức nhiều, thường dùng ít IC và dễ thiết kế.

3.2. Mạch ghép 2 kênh sang 1

Sơ đồ khối:



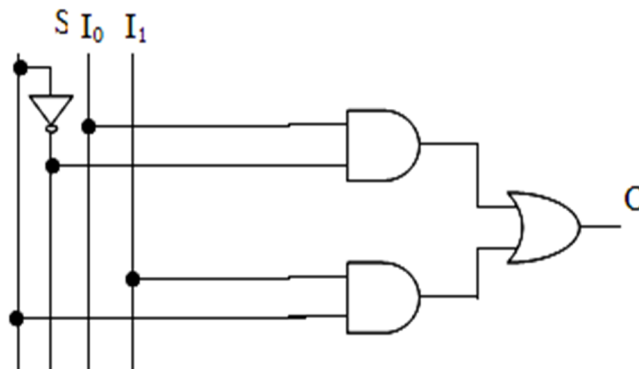
Bảng trạng thái

S	O
0	I_0
1	I_1

Hàm số logic mô tả quan hệ ngõ vào – ngõ ra:

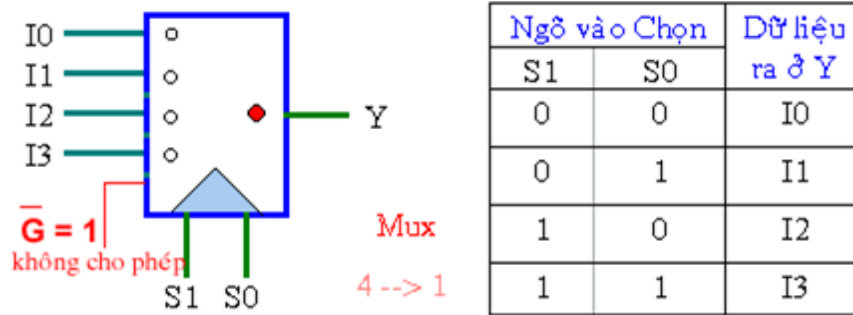
Hình 4.13: Sơ đồ khối và bảng trạng thái mạch ghép 2 kênh sang 1

Mạch điện logic:



Hình 4.14: Mạch điện logic ghép 2 kênh sang 1

3.3. Mạch ghép 4 kênh sang 1



Hình 4.15: Sơ đồ khối và bảng trạng thái của mạch ghép kênh 4 sang 1

Mạch trên có 2 ngõ điều khiển chọn là S0 và S1 nên chúng tạo ra 4 trạng thái logic. Mỗi một trạng thái tại một thời điểm sẽ cho phép 1 ngõ vào I nào đó qua để truyền tới ngõ ra Y. Như vậy tổng quát nếu có 2^n ngõ vào song song thì phải cần n ngõ điều khiển chọn.

Cũng nói thêm rằng, ngoài những ngõ như ở trên, mạch thường còn có thêm ngõ G: được gọi là ngõ vào cho phép (enable) hay xung đánh dấu (strobe). Mạch tổ hợp có thể có 1 hay nhiều ngõ vào cho phép và nó có thể tác động mức cao hay mức thấp. Như mạch dồn kênh ở trên, nếu có thêm 1 ngõ cho phép G tác động ở mức thấp, tức là chỉ khi $G = 0$ thì hoạt động dồn kênh mới diễn ra còn khi $G = 1$ thì bất chấp các ngõ vào song song và các ngõ chọn, ngõ ra vẫn giữ cố định mức thấp (có thể mức cao tùy dạng mạch)

Như vậy khi $G = 0$

$S_1S_0 = 00$, dữ liệu ở I0 sẽ đưa ra ở Y

$S_1S_0 = 01$, dữ liệu ở I1 sẽ đưa ra ở Y

$S_1S_0 = 10$, dữ liệu ở I2 sẽ đưa ra ở Y

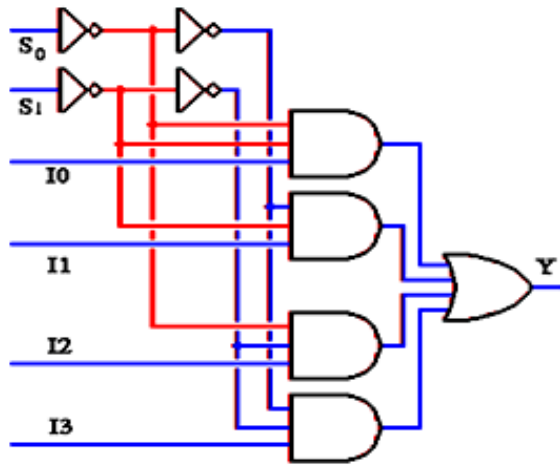
$S_1S_0 = 11$, dữ liệu ở I3 sẽ đưa ra ở Y

Do đó biểu thức logic của mạch khi có thêm ngõ G là:

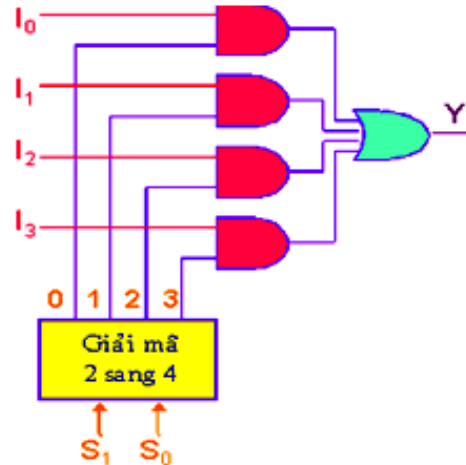
$$Y = G.S_1S_0I_0 + G.S_1S_0I_1 + G.S_1S_0I_2 + G.S_1S_0I_3$$

Ta có thể kiểm chứng lại biểu thức trên bằng cách: từ bảng trạng thái ở trên, viết biểu thức logic rồi rút gọn (có thể dùng phương pháp rút gọn dùng bìa Karnaugh). Sau đó bạn có thể xây dựng mạch dồn kênh trên bằng các cổng logic. Cấu tạo logic của mạch như sau (lưu ý là trên hình không xét đến chân cho phép G)

Nhận thấy rằng tổ hợp 4 cổng NOT để đưa 2 đường điều khiển chọn S0, S1 vào các cổng AND chính là 1 mạch mã hoá 2 sang 4, các ngõ ra mạch mã hoá như là xung mở cổng AND cho 1 trong các đường I ra ngoài. Vậy mạch trên cũng có thể vẽ lại như hình 4.16a, 4.16b :



Hình 4.16a: Cấu trúc mạch ghép kênh 4 sang 1



Hình 4.16b: Đồn kênh 4 sang 1 từ giải mã 2 sang 4

4. Mạch tách kênh

- Mục tiêu: Phân biệt được các sơ đồ, bảng trạng thái của mạch tách kênh. Ưu nhược điểm của nó.

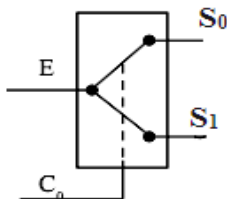
4.1. Tổng quát

Bộ chuyển mạch phân kênh hay còn gọi là tách kênh, giải đa hợp (Demultiplexer) có chức năng ngược lại với mạch dồn kênh tức là: tách kênh truyền thành 1 trong các kênh dữ liệu song song tùy vào mã chọn ngõ vào. Có thể xem mạch tách kênh giống như 1 công tắc cơ khí được điều khiển chuyển mạch bởi mã số. Tùy theo mã số được áp vào ngõ chọn mà dữ liệu từ 1 đường sẽ được đưa ra đường nào trong số các đường song song.

Các mạch tách kênh thường gặp là 1 sang 2, 1 sang 4, 1 sang 8,... Nói chung từ 1 đường có thể đưa ra 2^n đường, và số đường để chọn sẽ phải là n. Mục dưới sẽ nói đến mạch tách kênh 1 sang 4

4.2. Mạch tách kênh 1 sang 2

Sơ đồ khối.

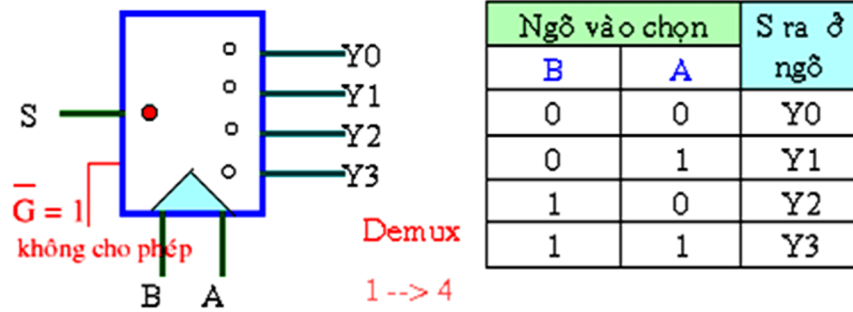


Bảng trạng thái

C_0	S_0	S_1
0	E	0
1	0	E

Hình 4.17: Sơ đồ khối và bảng trạng thái của mạch tách kênh 1 sang 2

4.3. Mạch tách kênh 1 sang 4



Hình 4.18: Sơ đồ khối và bảng trạng thái của mạch tách kênh 1 sang 4

Mạch tách kênh từ 1 đường sang 4 đường nên số ngõ chọn phải là 2. Khi ngõ cho phép G ở mức 1 thì nó cấm không cho phép dữ liệu vào được truyền ra ở bất kỳ ngõ nào nên tất cả các ngõ ra đều ở mức 0.

Như vậy khi $G = 0$, $BA = 00$ dữ liệu S được đưa ra ngõ Y_0 , nếu $S = 0$ thì Y_0 cũng bằng 0 và nếu $S = 1$ thì Y_0 cũng bằng 1, tức là S được đưa tới Y_0 ; các ngõ khác không đổi. Tương tự với các tổ hợp BA khác thì lần lượt ra ở S sẽ là Y_1, Y_2, Y_3

Biểu thức logic của các ngõ ra sẽ là :

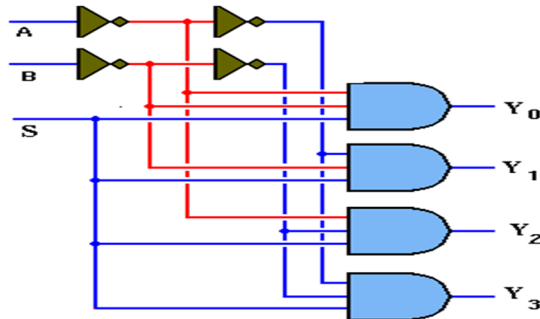
$$Y_0 = \overline{G} \overline{B} \overline{A} S$$

$$Y_1 = \overline{G} \overline{B} A S$$

$$Y_2 = \overline{G} B \overline{A} S$$

$$Y_3 = \overline{G} B A S$$

Từ đây có thể dùng cổng logic để thiết kế mạch tách kênh như hình 4.19



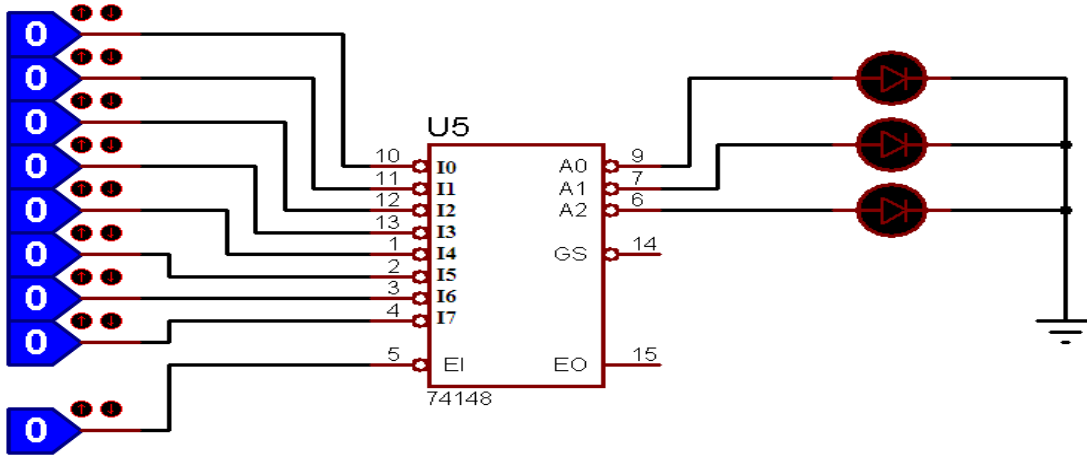
Hình 4.19: Cấu trúc của mạch tách kênh 1 sang 4

5. Lắp ráp một số mạch ứng dụng cơ bản

- Mục tiêu: Tính toán lắp ráp, đo, kiểm tra thông số điện áp, tín hiệu xung của các chân IC theo các sơ đồ, bảng trạng thái mã hóa của các kênh và ứng dụng của nó vào trong mạch.

5.1. Ráp mạch mã hóa

5.1.1 Mạch điện:



Hình 4.20. Mạch mã hóa 8 sang 3 dùng IC 74148

5.1.2 Các bước thực hiện:

- Bước 1: Tắt nguồn
- Bước 2: Ráp mạch như hình vẽ
- Bước 3: Cấp nguồn cho mạch
- Bước 4. Thay đổi tín hiệu các xung ngõ vào và tín hiệu ngõ ra, thành lập bảng trạng thái sau:

Bảng TT 4-4

CHO PHÉP	NGÕ VÀO								NGÕ RA			
	E	I0	I1	I2	I3	I4	I5	I6	I7	A2	A1	A0

Bước 5: Tắt nguồn

Nhận xét:

- Nêu ngắn gọn nguyên tắc hoạt động của mạch:
- Nêu ứng dụng thực tế của mạch mã hóa 8 sang 3?

5.2. Ráp mạch giải mã

- Giải thích chức năng của các chân lựa chọn E1,E2,E3?
- Giải mã 3 sang 8 có thể mở rộng thành 4 sang 16 được không?

➤ **YÊU CẦU VỀ ĐÁNH GIÁ KẾT QUẢ HỌC TẬP BÀI 4**

Nội dung:

- + *Về kiến thức: Trình bày được khái niệm và phân biệt sự khác nhau giữa các mạch mã hóa và các giả mã, hiểu được chức năng của các họ của IC*
- + *Về kỹ năng: sử dụng thành thạo các dụng cụ đo để đo được các chân tín hiệu điện áp ở ngõ vào – ra của IC, lắp ráp một số mạch cơ bản,....*
- + *Về thái độ: Đảm bảo an toàn và vệ sinh công nghiệp.*

Phương pháp:

- + *Về kiến thức: Được đánh giá bằng hình thức kiểm tra viết, trắc nghiệm.*
- + *Về kỹ năng: Đánh giá kỹ năng thực hành đo được các thông số trong mạch điện theo yêu cầu của bài, lắp ráp một số mạch cơ bản*
- + *Thái độ: Tỉ mỉ, cẩn thận, chính xác, ngăn nắp trong công việc.*

BÀI 5:**HỌ VI MẠCH TTL – CMOS****Giới thiệu:**

Trong quá trình phát triển của công nghệ chế tạo mạch số ta có các họ: RTL (Resistor-transistor logic), DCTL (Direct couple-transistor logic), RCTL (Resistor-Capacitor-transistor logic), DTL (Diod-transistor logic), ECL (Emitter- couple logic) v.v.... Đến bây giờ tồn tại hai họ có nhiều tính năng kỹ thuật cao như thời trễ truyền nhỏ, tiêu hao công suất ít, đó là họ TTL (transistor-transistor logic) dùng công nghệ chế tạo BJT và họ MOS (Công nghệ chế tạo MOS - Gồm các IC số dùng công nghệ chế tạo của transistor MOSFET loại tăng, kênh N và kênh P. Với transistor kênh N ta có NMOS, transistor kênh P ta có PMOS và nếu dùng cả hai loại transistor kênh P & N ta có CMOS).

Mục tiêu:

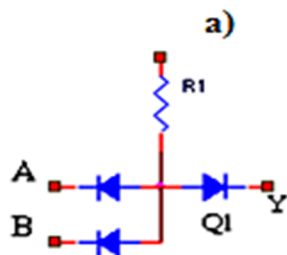
- Trình bày được cấu trúc, các đặc tính cơ bản của các loại IC số
- Trình bày được các thông số cơ bản của IC số
- Trình bày được các phương thức giao tiếp giữa các loại IC số.
- Lắp ráp, sửa chữa, đo kiểm được một số mạch ứng dụng cơ bản
- Rèn luyện tính tỉ mỉ, chính xác, an toàn và vệ sinh công nghiệp

Nội dung:**1. Cấu trúc và thông số cơ bản của TTL**

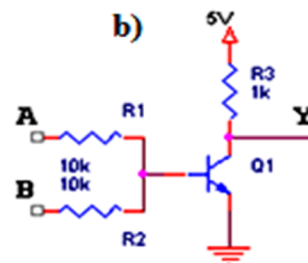
- Mục tiêu: Trình bày được các sơ đồ, cấu trúc của các cổng logic họ TTL. Ưu nhược điểm thông số của nó.

1.1. Cơ sở của việc hình thành cổng logic họ TTL

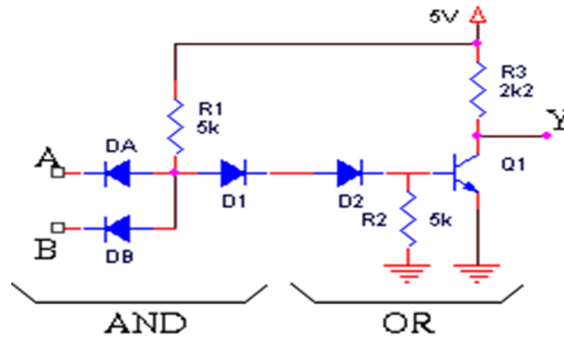
Trước khi đi vào cấu trúc của mạch TTL cơ bản, xét một số mạch điện (hình 5.1a, 5.1b, 5.1c) cũng có khả năng thực hiện chức năng logic như các cổng logic trong vi mạch TTL:



Hình 5.1a: Cổng DR



Hình 5.1b: Cổng RTL



Hình 5.1c: Cổng NAND DTL

Mạch ở hình 5.1a hoạt động như một cổng AND. Khi cả hai đầu A và B đều nối với nguồn, tức là để mức cao, thì cả hai diode sẽ ngắt, do đó áp đầu ra Y sẽ phải ở mức cao. Ngược lại, khi có bất cứ một đầu vào nào ở thấp thì sẽ có diode dẫn, áp trên diode còn 0,6V hay 0,7V do đó ngõ ra Y sẽ ở mức thấp.

Tiếp theo là một mạch thực hiện chức năng của một cổng logic bằng cách sử dụng trạng thái ngắt dẫn của transistor (hình 5.1b).

Hai ngõ vào là A và B, ngõ ra là Y.

Phân cực từ hai đầu A, B để Q hoạt động ở trạng thái ngắt và dẫn bão hoà

Cho $A = 0, B = 0 \Rightarrow Q$ ngắt, $Y = 1$

$A = 0, B = 1 \Rightarrow Q$ dẫn bão hoà, $Y = 0$

$A = 1, B = 0 \Rightarrow Q$ dẫn bão hoà, $Y = 0$

$A = 1, B = 1 \Rightarrow Q$ dẫn bão hoà, $Y = 0$

Có thể tóm tắt lại hoạt động của mạch qua bảng trạng thái TT5-1

Bảng TT5-1

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

Bây giờ để có cổng logic loại DTL, ta thay hai R bằng hai diode ở ngõ vào (hình 5.1c)

Khi A ở thấp, B ở thấp hay cả 2 ở thấp thì diode dẫn làm transistor ngắt do đó ngõ ra Y ở cao.

Khi A và B ở cao thì cả hai diode ngắt $\Rightarrow Q$ dẫn $\Rightarrow y$ ra ở thấp

Rõ ràng đây là 1 cổng NAND dạng DTL (diode ở đầu vào và transistor ở đầu ra)

Các mạch RTL, DTL ở trên đều có khả năng thực hiện chức năng logic nhưng chỉ được sử dụng ở dạng đơn lẻ không được tích hợp thành IC chuyên dùng bởi vì

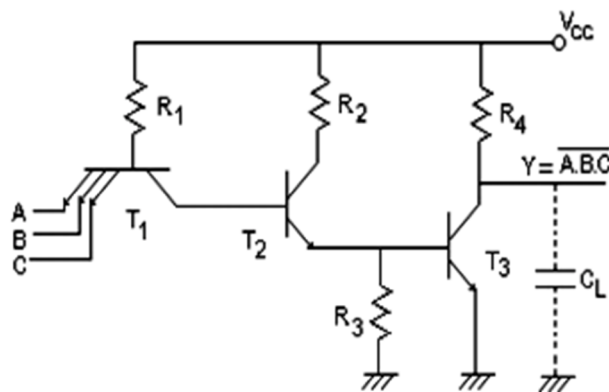
ngoài chức năng logic cần phải đảm bảo người ta còn quan tâm tới các yếu tố khác như :

- Tốc độ chuyển mạch (mạch chuyển mạch nhanh và hoạt động được ở tần số cao không).
- Tổn hao năng lượng khi mạch hoạt động (mạch nóng, tiêu tán mất năng lượng dưới dạng nhiệt).
- Khả năng giao tiếp và thúc tải, thúc mạch khác.
- Khả năng chống các loại nhiễu không mong muốn xâm nhập vào mạch, làm sai mức logic.

Chính vì thế mạch TTL đã ra đời, thay thế cho các mạch loại RTL, DTL. Mạch TTL ngoài transistor ngõ ra như ở các mạch trước thì nó còn sử dụng cả các transistor đầu vào, thêm một số cách nối đặc biệt khác, nhờ đó đã đảm bảo được nhiều yếu tố đã đề ra.

1.2. Cấu trúc cơ bản của TTL

Lấy cổng NAND 3 ngõ vào làm thí dụ để thấy cấu tạo và vận hành của một cổng cơ bản của TTL như hình 5.2



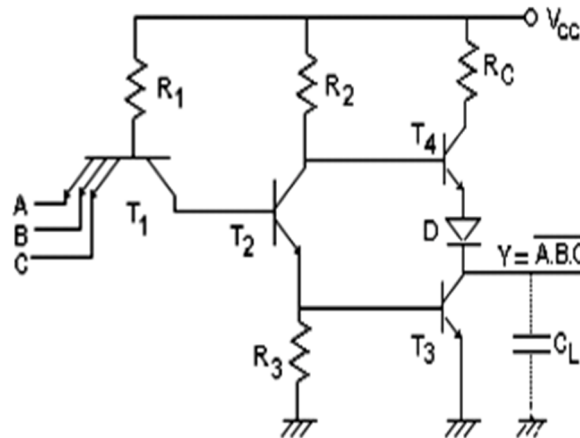
Hình 5.2: Mạch logic TTL cơ bản

Khi một trong các ngõ vào A, B, C xuống mức không T_1 dẫn đưa đến T_2 ngưng, ngõ ra Y lên cao; khi cả 3 ngõ vào lên cao, T_1 ngưng, T_2 dẫn, T_3 dẫn, ngõ ra Y xuống thấp. Đó chính là kết quả của cổng NAND.

Tụ C_L trong mạch chính là tụ ký sinh tạo bởi sự kết hợp giữa ngõ ra của mạch (tầng thúc) với ngõ vào của tầng tải, khi mạch hoạt động tụ sẽ nạp điện qua R_4 (lúc T_3 ngưng) và nạp điện qua T_3 khi transistor này dẫn, do đó thời gian trễ truyền của mạch quyết định bởi R_4 và C_L , khi R_4 nhỏ mạch hoạt động nhanh nhưng công suất tiêu thụ lúc đó lớn, muốn giảm công suất phải tăng R_4 nhưng như vậy thời gian trễ truyền sẽ lớn hơn (mạch giao hoán chậm hơn). Để giải quyết khuyết điểm này đồng thời thỏa mãn một số yêu cầu khác, người ta đã chế tạo các cổng logic với các kiểu ngõ ra khác nhau.

- Các kiểu ngõ ra

• Ngõ ra Totempole



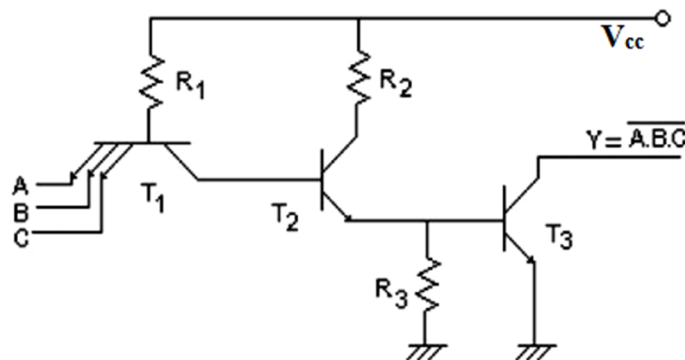
Hình 5.3: Mạch logic có ngõ ra Totempole

Theo mạch như hình 5.3, R_4 trong mạch cơ bản được thay thế bởi cụm T_4 , R_C , và Diode D, trong đó R_C có trị rất nhỏ, không đáng kể. T_2 bây giờ giữ vai trò mạch đảo pha: khi T_2 dẫn thì T_3 dẫn và T_4 ngưng, Y xuống thấp, khi T_2 ngưng thì T_3 ngưng và T_4 dẫn, ngõ ra Y lên cao. Tụ C_L nạp điện qua T_4 làm cho T_4 dẫn, kéo theo T_3 (dẫn), thời hằng mạch rất nhỏ và kết quả là thời trễ truyền nhỏ. Ngoài ra do T_3 & T_4 luân phiên ngưng tương ứng với 2 trạng thái của ngõ ra nên công suất tiêu thụ giảm đáng kể. Diode D có tác dụng nâng điện thế cực B của T_4 lên để bảo đảm khi T_3 ngưng.

Mạch này có khuyết điểm là không thể nối chung nhiều ngõ ra của các cổng khác nhau vì có thể gây hư hỏng khi các trạng thái logic của các cổng này khác nhau.

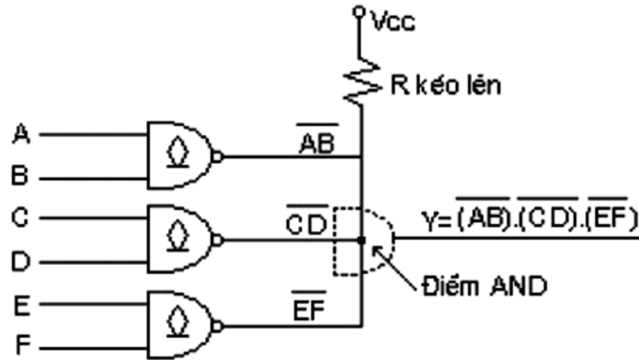
• Ngõ ra cực thu để hở

- Cho phép kết nối các ngõ ra của nhiều cổng khác nhau, nhưng khi sử dụng phải mắc một điện trở từ ngõ ra lên nguồn V_{cc} , gọi là **điện trở kéo lên**, trị số của điện trở này có thể được chọn lớn hay nhỏ tùy theo yêu cầu có lợi về mặt công suất hay tốc độ làm việc.



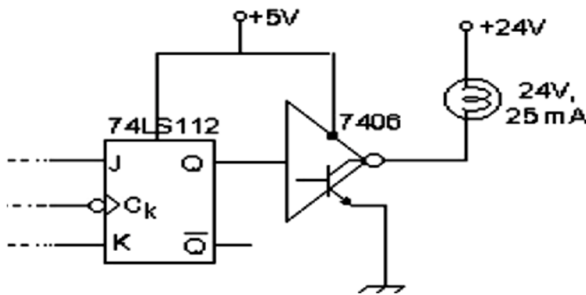
Hình 5.4: Mạch logic có ngõ ra cực thu để hở

Điểm nối chung của các ngõ ra có tác dụng như một cổng AND nên ta gọi là điểm AND (hình 5.5). Người ta cũng chế tạo các IC ngõ ra có cực thu để hở cho phép điện trở kéo lên mắc vào nguồn điện thế cao, dùng cho các tải đặc biệt hoặc dùng tạo sự giao tiếp giữa họ TTL với CMOS dùng nguồn cao.



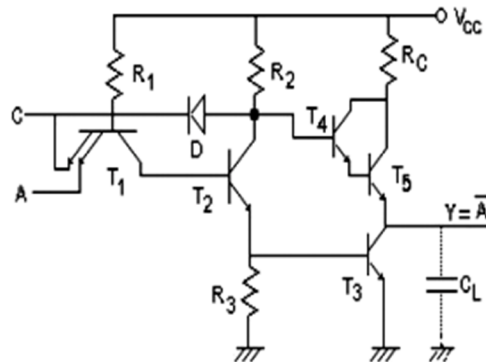
Hình 5.5

Ví dụ : IC 7406 là loại cổng đảo có ngõ ra cực thu để hở có thể mắc lên nguồn 24V (hình 5.6).

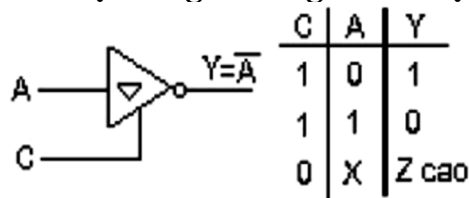


Hình 5.6

• Ngõ ra ba trạng thái



Hình 5.7: Mạch logic có ngõ ra 3 trạng thái



Bảng sự thật

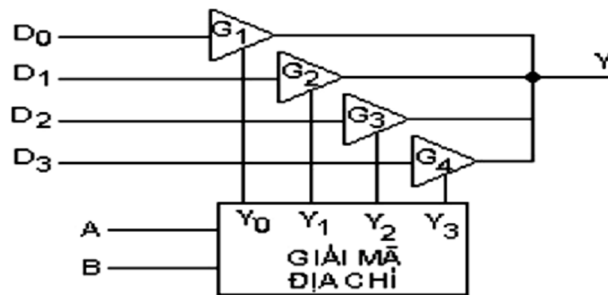
Hình 5.8: Bảng trạng thái có ngõ ra 3 trạng thái

Mạch hình 5.8 là một công đảo có ngõ ra 3 trạng thái, trong đó T_4 & T_5 được mắc Darlington để cấp dòng ra lớn cho tải. Diode D nối vào ngõ vào C để điều khiển. Hoạt động của mạch giải thích như sau:

- Khi $C=1$, Diode D ngưng dẫn, mạch hoạt động như một công đảo
- Khi $C=0$, Diode D dẫn, cực thu T_2 bị ghim áp ở mức thấp nên T_3, T_4 và T_5 đều ngưng, ngõ ra mạch ở trạng thái tổng trở cao.

Ký hiệu của công đảo ngõ ra 3 trạng thái, có ngõ điều khiển C tác động mức cao và bảng trạng thái cho ở hình 5.8.

Hình 5.9 là một ứng dụng của công đệm có ngõ ra 3 trạng thái: mạch chọn dữ liệu



Hình 5.9

Vận chuyển: Ứng với một giá trị địa chỉ AB, một ngõ ra mạch giải mã địa chỉ được tác động (lên cao) cho phép một công mở và dữ liệu ở ngõ vào công đó được truyền ra ngõ ra.

Ví dụ: Khi $AB = 00$, $Y_0 = 1$ ($Y_1=Y_2=Y_3=0$), G_1 mở, D_0 truyền qua G_1 đến ngõ ra, trong lúc G_2, G_3, G_4 đóng, có ngõ ra ở trạng thái Y cao, không ảnh hưởng đến hoạt động của mạch.

2. Cấu trúc và thông số cơ bản của CMOS

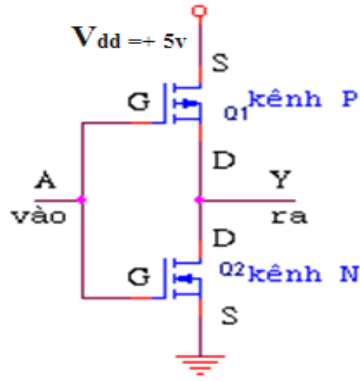
- Mục tiêu: Phân biệt được các sơ đồ, thông số cũng như các thông số của CMOS.

CMOS (Complementary MOS) có cấu tạo kết hợp cả PMOS và NMOS trong cùng 1 mạch nhờ đó tận dụng được các thế mạnh của cả 2 loại, nói chung là nhanh hơn đồng thời mất mát năng lượng còn thấp hơn khi dùng rời từng loại một. Cấu tạo cơ bản nhất của CMOS cũng là một công NOT gồm một transistor NMOS và một transistor PMOS như hình 5.10

Các transistor MOS dùng trong IC số cũng chỉ hoạt động ở một trong 2 trạng thái: dẫn hoặc ngưng.

- Khi dẫn, tùy theo nồng độ pha của chất bán dẫn mà transistor có nội trở rất nhỏ (từ vài chục Ω đến hàng trăm $K\Omega$) tương đương với một khóa đóng.

- Khi ngưng, transistor có nội trở rất lớn (hàng $10^{10}\Omega$), tương đương với một khóa hở.



Hình 5.10: Cấu tạo của một cổng loại CMOS

Hoạt động của mạch cũng tương tự như ở NMOS. Khi ngõ vào (nối chung cực cổng 2 transistor) ở cao thì chỉ có Q1 dẫn mạnh do đó áp ra lấy từ điểm chung của 2 cực máng của 2 transistor sẽ xấp xỉ 0V nên ngõ ra ở thấp.

Khi ngõ vào ở thấp Q1 sẽ ngắt còn Q2 dẫn mạnh, áp ra xấp xỉ nguồn, tức ngõ ra ở mức cao.

Đề ý là khác với cổng NOT của NMOS, ở đây 2 transistor không dẫn cùng một lúc nên không có dòng điện từ nguồn đổ qua 2 transistor xuống mass nhờ đó công suất tiêu tán gần như bằng 0. Tuy nhiên khi 2 transistor đang chuyển mạch và khi có tải thì sẽ có dòng điện chảy qua một hay cả 2 transistor nên khi này công suất tiêu tán lại tăng lên.

Trên nguyên tắc cổng đảo, cũng giống như trước bằng cách mắc song song hay nối tiếp thêm transistor ta có thể thực hiện được các cổng logic khác (hình 5.11). Chẳng hạn mắc chòong 2 NMOS và mắc song song 2 PMOS ta được cổng NAND. Còn khi mắc chòong 2 PMOS và mắc song song 2 NMOS ta được cổng NOR.

Nguyên lý:

+ Cổng NAND:

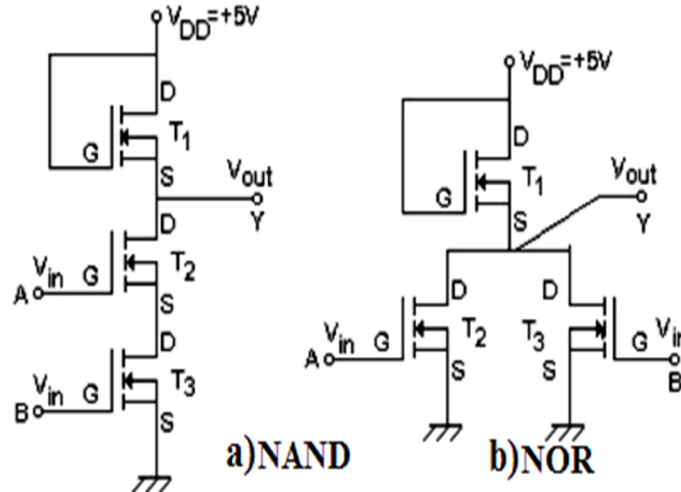
- Khi 2 ngõ vào nối lên mức cao, T₂ và T₃ dẫn, ngõ ra xuống thấp.
- Khi có 1 ngõ vào nối xuống mức thấp, một trong 2 transistor T₂ hoặc T₃ ngưng, ngõ ra lên cao.

Đó chính là kết quả của cổng NAND 2 ngõ vào.

+ Cổng NOR:

- Khi 2 ngõ vào nối xuống mức thấp, T₂ và T₃ ngưng, ngõ ra lên cao.
- Khi có 1 ngõ vào nối lên mức cao, một trong 2 transistor T₂ hoặc T₃ dẫn, ngõ ra xuống thấp.

Đó chính là kết quả của cổng NOR 2 ngõ vào.



Hình 5.11: Cách mắc các cổng NAND và NOR

2.1. Đặc trưng của các vi mạch số họ CMOS

Tốc độ chuyển mạch: chậm hơn so với loại TTL do điện trở đầu vào khá cao đồng thời bị ảnh hưởng bởi tải dung tính mà nó thúc.

Giới hạn nhiễu khoảng 1,5V với nguồn 5V và sẽ tăng tỉ lệ khi nguồn cấp tăng. Như vậy là tính kháng nhiễu kém hơn TTL.

Hệ số tải: về lí thuyết là rất lớn do trở đầu vào của mạch rất lớn, tuy nhiên, nếu tần số hoạt động càng cao (trên 100KHz) thì điện dung sinh ra có thể làm suy giảm thời gian chuyển mạch kéo theo giảm khả năng giao tiếp tải. So với TTL thì NMOS vẫn có hệ số tải cao hơn hẳn trung bình là 50 cổng cùng loại.

2.2. Cấu trúc CMOS của các cổng logic cơ bản

Có nhiều loại IC logic CMOS với các đóng vỏ (package) và chân ra giống như các loại TTL. Ở các IC có quy mô tích hợp nhỏ SSI vỏ DIP (dual inline package): với hai hàng chân thẳng hàng 14 hay 16 chân là hay được dùng hơn cả.

- CMOS cũ họ 4000, 4500

Hãng RCA của Mỹ đã cho ra đời loại CMOS đầu tiên lấy tên CD4000A. Về sau RCA có cải tiến để cho ra loạt CD4000B có thêm tầng đệm ra, về sau nữa hãng lại bổ sung thêm loạt CD4500, CD4700.

Hãng Motorola (Mỹ) sau đó cũng cho ra loạt CMOS MC14000, MC14000B, MC14500 tương thích với sản phẩm cũ của RCA.

- Loại 74CXX

Đây là loại CMOS được sản xuất ra để tương thích với các loại TTL về nhiều mặt như chức năng, chân ra nhưng khoản nguồn nuôi thì rộng hơn. Các đặc tính của loại này tốt hơn loại CMOS trước đó một chút tuy nhiên nó lại ít được sử dụng do đã có nhiều loại CMOS sau đó thay thế loại CMOS tốc độ cao 74HCXX và 74HCTXX. Đây là 2 loại CMOS được phát triển từ 74CXX.

74HCXX có dòng ra lớn tốc độ nhanh hơn hẳn 74CXX, tốc độ của nó tương đương với loại 74LSXX, nhưng công suất tiêu tán thì thấp hơn. Nguồn cho nó là từ 2 đến 6 V.

Còn 74HCTXX chính là 74HCXX nhưng tương thích với TTL nhiều hơn như nguồn vào gần giống TTL : 4,5V đến 5,5V. Do đó 74HCTXX có thể thay thế trực tiếp cho 74LSXX và giao tiếp với các loại TTL rất bình thường.

Ngày nay 74HC và 74HCT trở thành loại CMOS hay dùng nhất mà lại có thể thay thế trực tiếp cho loại TTL thông dụng.

- Loại CMOS tiên tiến 74AC, 74ACT

Loại này được chế tạo ra có nhiều cải tiến cũng giống như bên TTL, nó sẽ hơn hẳn các loại trước đó nhưng việc sử dụng còn hạn chế cũng vẫn ở lí do giá thành còn cao.

Chẳng hạn cấu trúc mạch và chân ra được sắp xếp hợp lí giúp giảm những ảnh hưởng giữa các đường tín hiệu vào ra do đó chân ra của 2 loại này thì khác chân ra của TTL.

Kháng nhiễu, trì hoãn truyền, tốc độ đồng hồ tối đa đều hơn hẳn loại 74HC, 74HCT.

Kí hiệu của chúng hơi khác một chút như 74AC11004 là tương ứng với 74HC04. 74ACT11293 là tương ứng với 74HCT293.

- Loại CMOS tốc độ cao FACT

Đây là sản phẩm của hãng Fairchild, loại này có tính năng trội hơn các sản phẩm tương ứng đã có.

- Loại CMOS tốc độ cao tiên tiến 74AHC, 74AHCT

Đây là sản phẩm mới đã có những cải tiến từ loại 74HC và 74HCT, chúng tận dụng được cả 2 ưu điểm lớn nhất của TTL là tốc độ cao và của CMOS là tiêu tán thấp do đó có thể thay thế trực tiếp cho 74HC và 74HCT.

Bảng TT5-2 cho phép so sánh công suất tiêu tán và trì hoãn truyền của các loại TTL và CMOS ở nguồn cấp điện 5V.

Bảng TT5-2

	Loại	P_D (mW)	t_D (ns)
TTL	74	10	10
	74s	20	3
	74LS	2	10
	74AS	8	2
	74ALS	2	4
	74F	4	3
CMOS	4000	0	100

	4500	0	100
	74C	0	50
	74HC	0	10
	74HCT	0	10
	74AC	0	3
	74ACT	0	3

3. Giao tiếp TTL và CMOS

- Mục tiêu: Trình bày được giống và khác nhau giữa các sơ đồ, bảng trạng thái của TTL và CMOS. Ưu nhược điểm của các họ này.

3.1. TTL kích thích CMOS

3.1.1. Giữa TTL với CMOS họ 74HC, 74HCT

Ở mức thấp TTL có thể thúc được CMOS do $V_{OLmax} (TTL) < V_{ILmax} (CMOS)$ và $I_{OLmax} (TTL) > I_{ILmax} (CMOS)$

Ở mức cao TTL không thể thúc được CMOS do áp mức cao của TTL có khi chỉ còn 2,5V trong khi CMOS chỉ chấp nhận áp mức cao không dưới 3,5V. Nếu nối mạch thì hoạt động có thể sai logic.

Có 1 cách để khắc phục là dùng điện trở kéo lên ở ngõ ra của cổng TTL. Khi đó, qua điện trở R này, dòng từ nguồn sẽ nâng dòng vào CMOS nhờ đó áp ra mức cao TTL sẽ không quá thấp, CMOS sẽ hiểu được.

Chẳng hạn một cổng 74LS01 có $I_{OLmax} = 8mA$, $V_{OLmax} = 0,3V$ thúc một cổng 74HC00 có $V_{IHmin} = 3,5V$, $I_{IHmin} = 1\mu A$.

Khi 74LS01 ở mức thấp 0,3V thì nó sẽ nhận dòng hết mức là 8mA được cấp thông qua điện trở kéo lên (trong khi dòng I_{IHmin} chỉ có dưới $1\mu A$ rất nhỏ), thế thì sẽ phải cần điện trở kéo lên có giá trị nhỏ nhất R_{min} .

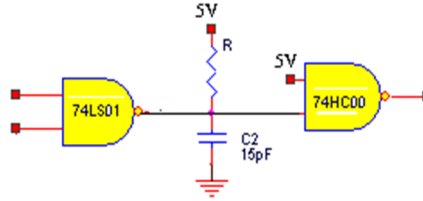
$$R_{min} = \frac{5V - 0.3V}{8mA} = 587,5\Omega$$

Còn khi ở mức cao 3,5V 74LS01 nhận dòng $100\mu A$ và 74HC00 nhận dòng $1\mu A$. Vậy khi này điện trở kéo lên sẽ phải có giá trị max để hạn lại dòng cho 2 cổng :

$$R_{max} = \frac{5V - 3.3V}{100\mu A - 1\mu A} = 15K\Omega$$

Khi R_{max} đạt giá trị lớn nhất thì công suất tiêu tán max sẽ nhỏ nhất

Tụ C = 15pF được thêm vào để khi đang ở mức thấp 0,3V mà chuyển lên mức cao thì tụ sẽ nạp cho áp lên 3,5V để CMOS “hiểu”



Hình 5.12: Giao tiếp giữa TTL với CMOS

3.1.2 TTL thúc CMOS có áp nguồn cao hơn 5V

Cũng giống như ở trường hợp trên, nếu ra mức thấp thì TTL có thể thúc trực tiếp CMOS nhưng nếu ra mức cao V_{OH} (TTL) chỉ có 2,7V đến 5V thì chắc chắn không thể thúc được CMOS vì khoảng áp này rơi vào vùng bất định của ngõ vào CMOS. Ta cũng phải dùng điện trở kéo lên, có thể dùng TTL ngõ ra cực thu để hở cho trường hợp này.

3.2. CMOS kích thích TTL

Khi thúc tải ở mức cao thường V_{OH} (CMOS) > V_{IH} (TTL) còn dòng nhận I_{IH} (TTL) chỉ vài chục μA nên CMOS có thể thúc nhiều tải TTL.

Khi thúc TTL ở mức thấp thì rất phức tạp tùy loại.

CMOS cũ (4000) không thúc được TTL.

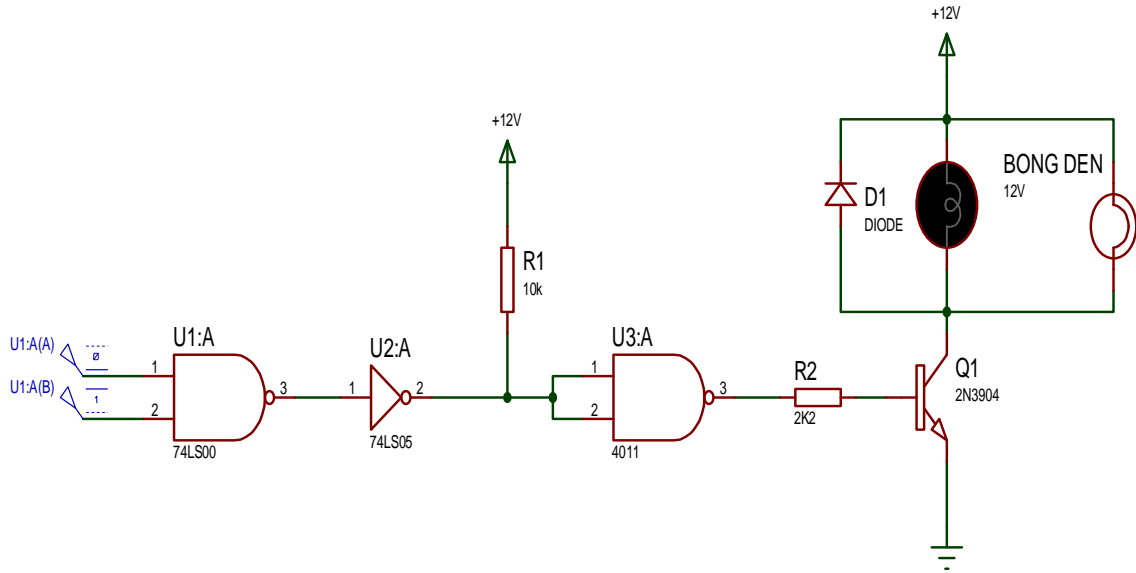
CMOS mới (74HC) thì có thể, số cổng thúc được tùy thuộc V_{OL} (CMOS) > V_{IL} (TTL) và dòng tổng ngõ ra (CMOS) phải lớn hơn tổng các dòng ngõ vào I_{IL} của các tải TTL.

Như vậy, việc giao tiếp các cổng với nhau cũng rất đa dạng tùy thuộc yêu cầu người sử dụng. Một vấn đề khác cũng cần phải quan tâm là các IC giao tiếp nhau chung nguồn cấp hay giao tiếp cùng khoảng mức áp sẽ đảm bảo hoạt động hơn. Vì vậy có một số IC đã được sản xuất để phục vụ cho việc chuyển mức điện áp giao tiếp giữa CMOS với TTL hay CMOS 4000 với CMOS 74HC.

4. Lắp ráp một số mạch ứng dụng cơ bản

- Mục tiêu: Kiểm tra lắp ráp đo đạt các thông số theo các sơ đồ, bảng trạng thái mã hóa và giải mã của các kênh. Ưu nhược điểm của nó.

4.1. Ráp mạch dùng TTL kích CMOS



Hình 5.13: Giao tiếp TTL và CMOS nguồn khác nhau

Bước 1: Tắt nguồn.

Bước 2: Ráp mạch như hình vẽ. **Chú ý nguồn VDD của CMOS là 12V và nguồn của TTL 74LS05 là +5V.**

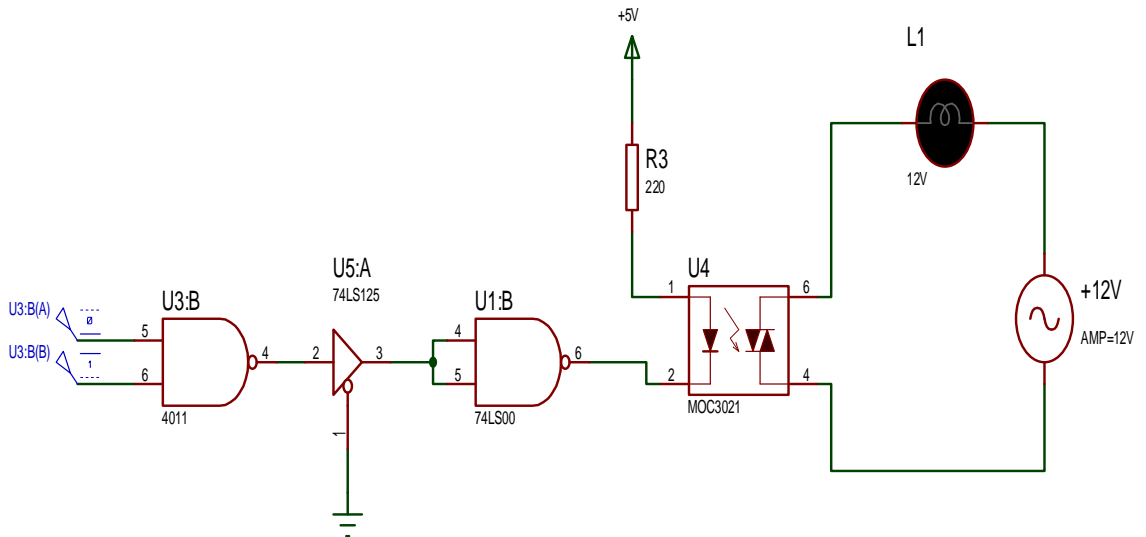
Bước 3: Bật nguồn cung cấp và quan sát bóng đèn.

Bước 4: Ngắt kết nối của điện trở R1, Quan sát bóng đèn. Giải thích

A	B	Trạng thái bóng đèn (1: Sáng 0:Tắt)	Điện áp tại chân 2 ngõ ra 74LS05	
[0]	[0]			
[0]	[1]			
[1]	[0]			
[1]	[1]			

Bước 6: Tắt nguồn.

4.2.Ráp mạch dùng CMOS kích TTL



Hình 5.14: Giao tiếp CMOS và TTL nguồn khác nhau

Bước 1: Tắt nguồn.

Bước 2: Ráp mạch như hình vẽ. **Chú ý nguồn VDD của CMOS là 12V và nguồn của TTL 74LS07 là +5V.**

Bước 3: Bật nguồn cung cấp và quan sát bóng đèn.


Bước 4: Nối trực tiếp 4011 và 74LS00 Quan sát bóng đèn. Giải thích

A	B	Trạng thái bóng đèn (1: Sáng 0:Tắt)	Điện áp tại chân 2 MOC 3021

[0]	[0]			
[0]	[1]			
[1]	[0]			
[1]	[1]			

Bước 6: Tắt nguồn.


➤ **YÊU CẦU VỀ ĐÁNH GIÁ KẾT QUẢ HỌC TẬP BÀI 5**

 Nội dung:

+ Về kiến thức: Trình bày được khái niệm, cấu trúc và thông số giữa các mạch TTL và các CMOS, hiểu được chức năng của các họ của IC

+ Về kỹ năng: sử dụng thành thạo các dụng cụ đo để đo được các chân tín hiệu điện áp ở ngõ vào – ra của IC, lắp ráp một số mạch cơ bản,....

+ Về thái độ: Đảm bảo an toàn và vệ sinh công nghiệp.

 Phương pháp:

- + Về kiến thức: Được đánh giá bằng hình thức kiểm tra viết, trắc nghiệm.
- + Về kỹ năng: Đánh giá kỹ năng thực hành đo được các thông số trong mạch điện theo yêu cầu của bài, lắp ráp một số mạch cơ bản
- + Thái độ: Tỉ mỉ, cẩn thận, chính xác, ngăn nắp trong công việc.

BÀI 6:

BỘ NHỚ

Giới thiệu

Tính ưu việt chủ yếu của các hệ thống số so với hệ thống tương tự là khả năng lưu trữ một lượng lớn thông tin số và dữ liệu trong những khoảng thời gian nhất định. Khả năng nhớ này là điều làm cho hệ thống số trở thành đa năng và có thể thích hợp với nhiều tình huống.

Chúng ta đã quá quen thuộc với Fliflop, một linh kiện điện tử có tính nhớ. Chúng ta cũng đã thấy một nhóm các FF hợp thành thanh ghi để lưu trữ và dịch chuyển thông tin như thế nào. Các FF chính là các phần tử nhớ tốc độ cao được dùng rất nhiều trong việc điều hành bên trong máy tính, nơi mà dữ liệu dịch chuyển liên tục từ nơi này đến nơi khác.

Dữ liệu số cũng có thể được lưu trữ dưới dạng điện tích của tụ điện, và một loại phần tử nhớ bán dẫn rất quan trọng đã dùng nguyên tắc này để lưu trữ dữ liệu với mật độ cao nhưng tiêu thụ một nguồn điện năng rất thấp. Bộ nhớ bán dẫn được dùng như là bộ nhớ trong chính của máy tính, nơi mà việc vận hành nhanh được xem như ưu tiên hàng đầu và cũng là nơi mà tất cả dữ liệu của chương trình lưu chuyển liên tục trong quá trình thực hiện một tác vụ do CPU yêu cầu. Mặc dù bộ nhớ bán dẫn có tốc độ làm việc cao, rất phù hợp cho bộ nhớ trong, nhưng giá thành tính trên mỗi bit lưu trữ cao khiến cho nó không thể là loại thiết bị có tính chất lưu trữ khối (mass storage), là loại thiết bị có khả năng lưu trữ hàng tỉ bit mà không cần cung cấp năng lượng và được dùng như là bộ nhớ ngoài (đĩa từ, băng từ, CD ROM ...). Tốc độ xử lý dữ liệu ở bộ nhớ ngoài tương đối chậm nên khi máy tính làm việc thì dữ liệu từ bộ nhớ ngoài được chuyển vào bộ nhớ trong.

Mục tiêu:

- Trình bày được cấu trúc, hoạt động, phân loại và phạm vi ứng dụng các bộ nhớ.
- Nêu được các ứng dụng của ROM, RAM trong kỹ thuật
- Đo kiểm, xác định lỗi chính xác một loại bộ nhớ trong thực tế
- Rèn luyện tính tỉ mỉ, chính xác, an toàn và vệ sinh công nghiệp

Nội dung:

1. ROM

- Mục tiêu: Trình bày được các sơ đồ, cấu trúc của ROM, bảng trạng thái cài đặt các thông số.

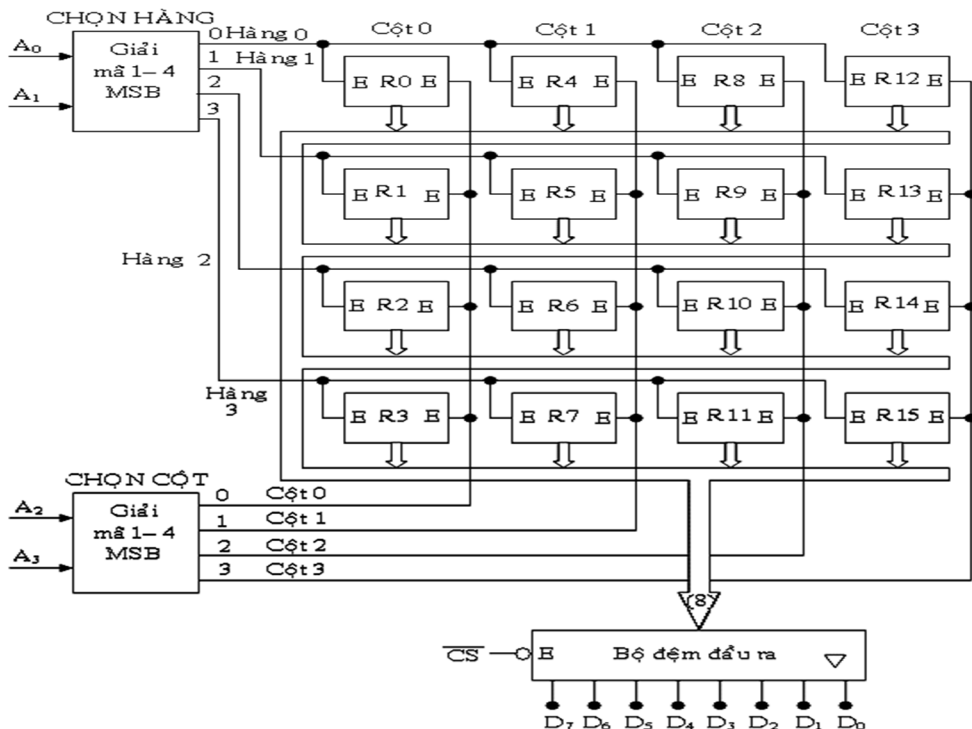
Bộ nhớ chỉ đọc được (ROM) là một dạng của bộ nhớ bán dẫn mà nó được thiết kế giữ cho dữ liệu không thay đổi. Khi hoạt động dữ liệu mới không thể viết vào ROM được mà chỉ có thể đọc được.

ROM được sử dụng để lưu trữ dữ liệu và tin tức. Nó không làm thay đổi dữ liệu trong suốt quá trình hoạt động của hệ thống. ROM chủ yếu thực hiện chức năng đọc là chính.

1.1. Cấu trúc ROM

Cấu trúc bên trong của ROM rất phức tạp. Hình 6.1 là sơ đồ đơn giản mô tả cấu trúc bên trong của một ROM có dung lượng 16x8. Gồm có 4 phần cơ bản: mảng thanh ghi, bộ giải mã hàng, bộ giải mã cột, bộ đệm đầu ra.

- Mảng thanh ghi (Resister array) lưu trữ dữ liệu được lập trình vào ROM. Mỗi thanh ghi gồm một ô nhớ bằng số kích thước từ. Trong trường hợp này mỗi thanh ghi chứa một từ 8 bit. Các thanh ghi được sắp xếp theo ma trận vuông, các thanh ghi ở đây là thanh ghi “chết”, không ghi thêm được.



Hình 6.1: Cấu trúc của ROM có dung lượng 16x8

Vị trí của từng thanh ghi được định rõ qua số hàng và số cột cụ thể. 8 đầu ra dữ liệu của mỗi thanh ghi được nối vào một đường dữ liệu bên trong chạy qua toàn

mạch. Mỗi thanh ghi có hai đầu vào cho phép. Cả hai phải ở mức cao thì dữ liệu ở thanh ghi mới được phép đưa vào đường truyền.

- Bộ giải mã địa chỉ

Mã địa chỉ $A_3A_2A_1A_0$ quyết định thanh ghi nào trong dãy được phép đặt từ dữ liệu 8 bit của nó vào đường truyền. Ở đây dùng 2 bộ giải mã: bộ giải mã chọn hàng (chọn 1 trong 4) và chọn cột. Thanh ghi giao giữa hàng và cột được chọn bởi đầu vào địa chỉ sẽ là thanh ghi được kích hoạt (cho phép).

Ví dụ: Địa chỉ vào là 1101 thì thanh ghi nào xuất dữ liệu. Với $A_3A_2 = 11$, bộ giải mã cột sẽ kích hoạt đường chọn cột số 3. Với $A_1A_0 = 01$, bộ giải mã hàng sẽ kích hoạt đường chọn hàng số 1.

Như vậy kết quả là cả hai đầu vào cho phép thanh ghi số 13 sẽ ở mức cao và dữ liệu của thanh ghi này sẽ được đưa vào đường truyền dữ liệu.

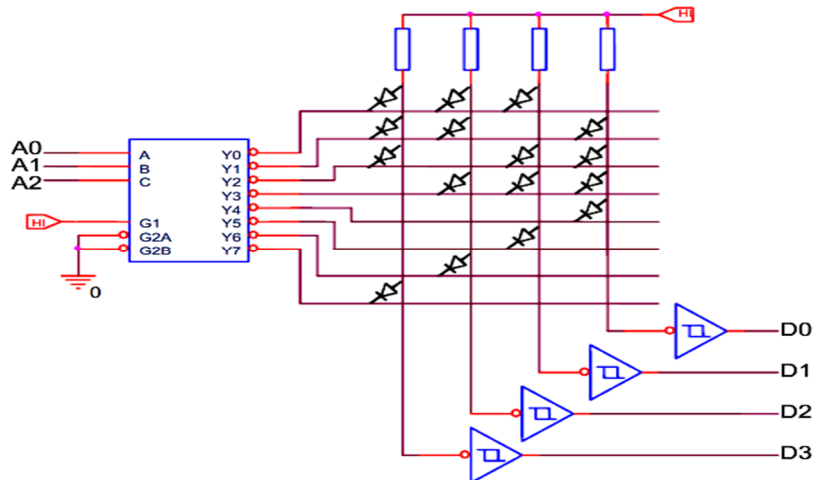
- Bộ đệm đầu ra, thường sử dụng mạch đệm 3 trạng thái, điều khiển bằng chân \overline{CS} . Khi \overline{CS} ở mức thấp, bộ đệm đầu ra chuyển dữ liệu này ra ngoài. Khi \overline{CS} ở mức cao, bộ đệm đầu ra sẽ ở trạng thái trở kháng cao. D_7 đến D_0 thả nổi.

1.2. Cấu trúc tế bào ROM

Cơ chế sử dụng ROM để lưu trữ thì thay đổi ứng với các công nghệ của ROM khác nhau. Trong phần lớn các ROM, sự xuất hiện hoặc vắng mặt của một diode hay transistor sẽ phân biệt giữa 0 và 1

Cấu trúc giải mã một chiều.

Sơ đồ ROM 8x4 với cấu trúc giải mã 1 chiều (dùng 1 bộ giải mã TTL và các diode).



Hình 6.2: Sơ đồ ROM 8x4 với cấu trúc giải mã 1 chiều

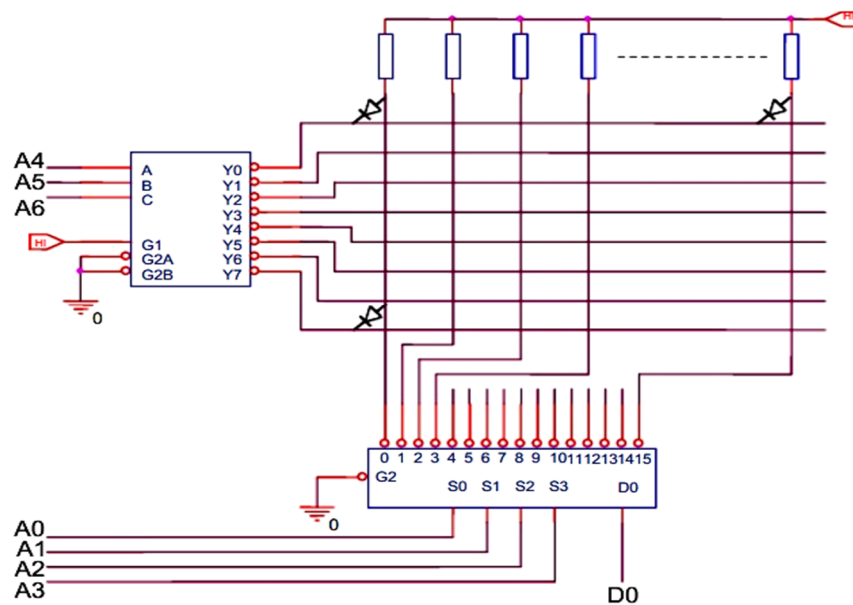
Mỗi đường ra bộ giải mã được gọi là đường từ (word line) bởi vì nó chọn một hàng hoặc một từ của bảng chứa trong ROM. Mỗi đường thẳng đứng trong hình được gọi là đường bit (bit line) bởi vì nó tương ứng với một bit ra của ROM

Nhận xét: Có diode tương ứng mức 0, không có diode tương ứng mức 1. Các MOS ROM thường dùng transistor thay vì là diode ở mỗi vị trí mà bit sẽ được lưu trữ.

Cấu trúc giải mã 2 chiều

Nếu xây dựng một ROM 128x1 dùng cấu trúc ở phần trước phải sử dụng một bộ giải mã 7 sang 128, nghĩa là phải sử dụng đến một lượng lớn 128 các cổng NAND 7 ngõ vào, nếu thiết kế cho ROM với hàng triệu bits hoặc nhiều hơn sẽ không có bộ giải mã 20 sang 1048576. Thay vào đó người ta sẽ sử dụng cấu trúc khác được gọi là giải mã hai chiều (two-dimensional decoding)

Ví dụ:



Hình 6.3: Cấu trúc giải mã 2 chiều

3 bit địa chỉ cao A6 A5 A4 sẽ chọn hàng, mỗi hàng chứa 16 bit bắt đầu tại địa chỉ A6 A5 A4 0000. Khi đặt địa chỉ cho ROM, 16 bit ở hàng được chọn đưa vào bộ MUX và 4 bit địa chỉ thấp sẽ chọn bit data mong muốn.

Ngoài việc giảm tính phức tạp việc giải mã, giải mã 2 chiều có một thuận lợi khác là ROM có một kích thước vật lý gần vuông, điều này quan trọng cho việc chế tạo và đóng gói IC.

Với ROM có nhiều ngõ ra dữ liệu, các dây lưu trữ tương ứng với mỗi ngõ ra dữ liệu có thể được làm hẹp hơn để đạt được bố trí chip gần với hình vuông hơn.

2. RAM

- *Mục tiêu:* Nêu được các sơ đồ, cấu trúc của RAM, bảng trạng thái cài đặt các thông số.

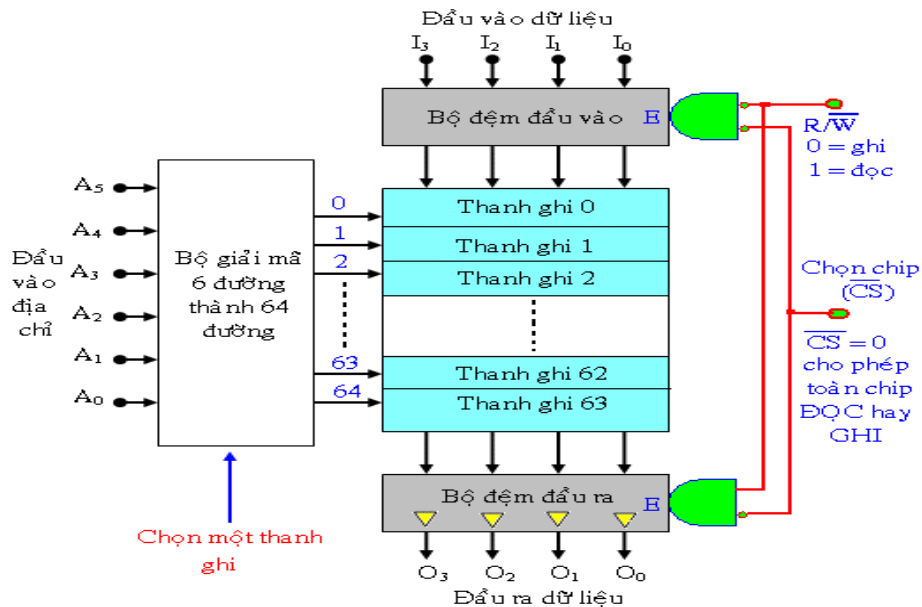
RAM (Random Access Memory) là bộ nhớ truy cập ngẫu nhiên. Khác với truy cập tuần tự. Có thể lấy ví dụ có 100 ô nhớ được đánh địa chỉ từ 1 đến 100. Với cách truy cập tuần tự muốn lấy dữ liệu từ ô nhớ thứ 99, cần phải truy cập tuần tự từ ô nhớ thứ 1,2,3... cho đến ô nhớ thứ 99. Nhưng với phương thức truy cập ngẫu nhiên, có thể truy cập ngay đến ô nhớ thứ 99 mà không cần phải qua các ô nhớ trước đó.

2.1. Cấu trúc RAM

RAM: Random Access Memory – bộ nhớ truy xuất bất kỳ còn gọi là bộ nhớ đọc viết (RWM: read write memory). Nghĩa là mọi địa chỉ nhớ đều cho phép dễ dàng truy cập như nhau. Trong máy tính RAM được dùng như bộ nhớ tạm hay bộ nhớ nháp.

Ưu điểm: chính của RAM là đọc hay viết dữ liệu lưu trữ ở RAM bất cứ lúc nào.

Nhược điểm: do RAM là một dạng bộ nhớ bốc hơi nên khi mất điện dữ liệu sẽ bị xóa do đó cần nguồn nuôi pin – accu dự phòng (back up battery). Tương tự như ROM, RAM bao gồm một số thanh ghi, mỗi thanh ghi lưu trữ một từ dữ liệu và có địa chỉ không trùng lặp. RAM thường có dung lượng 1K, 4K, 8K, 64K, 128K, 256K và 1024K với kích thước từ 1, 4 hay 8 bit (có thể mở rộng thêm).



Hình 6.4: Cấu trúc bên trong của RAM 64x4

Hình 6.4 minh họa cấu trúc của đơn giản của một RAM lưu trữ 64 từ 4 bit (bộ nhớ 64x4). Số từ này có địa chỉ trong khoảng từ 0 đến 63₁₀. Để chọn 1 trong 64 địa chỉ để đọc hay ghi, một mã địa chỉ nhị phân sẽ được đưa vào mạch giải mã. Vì $64 = 2^6$ nên bộ giải mã cần mã vào 6 bit.

- Hoạt động đọc (Read Operation)

Mã địa chỉ nhận được từ chọn thanh ghi để đọc hoặc viết. Để đọc thanh ghi được chọn thì đầu vào đọc ghi (R/\bar{W}) phải là logic 1. Ngoài ra đầu vào chip select \bar{CS} phải ở mức logic 0. Sự kết hợp giữa $R/\bar{W} = 1$ và $\bar{CS} = 0$ sẽ cho phép bộ đệm đầu ra, sao cho nội dung của thanh ghi được chọn xuất hiện ở bốn đầu ra dữ liệu.

$R/\bar{W} = 1$ cũng cấm bộ đệm đầu vào nên đầu vào dữ liệu không tác động đến bộ nhớ suốt hoạt động đọc.

R/\bar{W} Hoạt động ghi (Write Operation)

Để viết một từ 4 bit mới vào thanh ghi được chọn, khi đó cần phải có $R/\bar{W} = 0$ và $\bar{CS} = 0$. Tổ hợp này cho phép bộ đệm đầu vào, vì vậy từ 4 bit đã đặt vào dữ liệu sẽ được nạp vào thanh ghi đã chọn. $R/\bar{W} = 0$ cũng cấm bộ đệm đầu ra. Bộ đệm đầu ra là bộ đệm 3 trạng thái nên đầu ra dữ liệu sẽ ở trạng thái Hi-Z trong hoạt động ghi. Hoạt động ghi sẽ xóa bỏ từ nào đã được lưu trữ tại địa chỉ đó.

- Chọn chip (Chip Select)

Hầu hết các chip nhớ đều có một hay nhiều đầu vào CS dùng để cho phép toàn chip hoặc cấm nó hoàn toàn. Trong chế độ cấm, tất cả đầu vào và ra dữ liệu đều bị vô hiệu hóa (Hi-Z), chính vì vậy không hoạt động ghi đọc nào có thể xảy ra. Ngoài tên gọi CHỌN CHIP các nhà sản xuất còn gọi là CHIP ENABLE (CE). Khi đầu vào CS hay CE ở trạng thái tích cực thì chip nhớ đã được chọn còn ngược lại thì không được chọn. Tác dụng của chân CS hay CE là dùng để mở rộng bộ nhớ khi kết hợp nhiều chip nhớ với nhau.

- Các chân vào ra chung (Common Input Output)

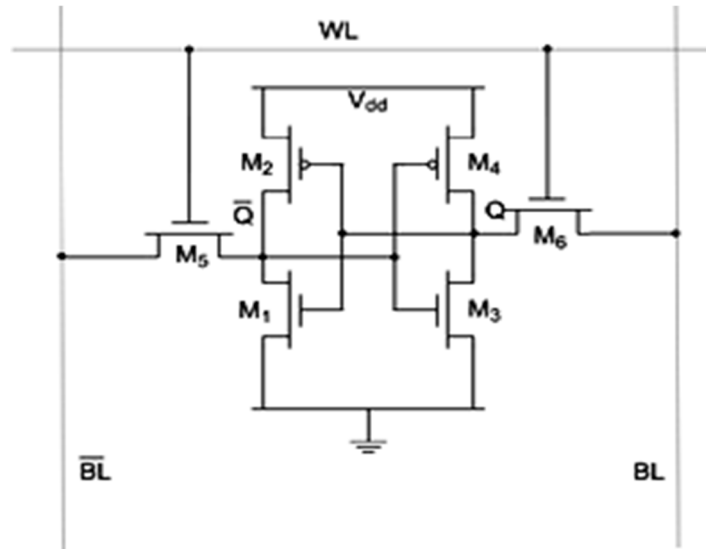
Để hạn chế số chân trong một IC, các nhà sản xuất thường kết hợp các chức năng nhập/xuất dữ liệu, dựa vào chân vào/ra (I/O). Đầu vào R/\bar{W} điều khiển các chân vào/ra này.

Trong hoạt động đọc, chân I/O đóng vai trò như đầu ra dữ liệu, tái tạo nội dung của ô nhớ được chọn. Trong hoạt động ghi, chân I/O là đầu vào dữ liệu, dữ liệu cần ghi được đưa vào đây.

2.2. Cấu trúc tế bào RAM

- RAM tĩnh

RAM tĩnh hình 6.5 được chế tạo theo công nghệ ECL (dùng trong CMOS và BiCMOS). Mỗi bit nhớ gồm có các cổng logic với 6 transistor MOS. SRAM là bộ nhớ nhanh, việc đọc không làm hủy nội dung của ô nhớ và thời gian thâm nhập bằng chu kỳ của bộ nhớ. nhưng sram là một nơi lưu

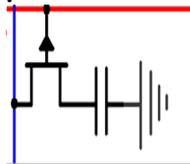


Hình 6.5: 6 transistor trong một ô nhớ của RAM tĩnh

- RAM động

RAM động dùng kỹ thuật MOS. Mỗi bit nhớ gồm một transistor và một tụ điện, hình 6.6. Việc ghi nhớ dữ liệu dựa vào việc duy trì điện tích nạp vào tụ điện và như vậy việc đọc một bit nhớ làm nội dung bit này bị hủy. Do vậy sau mỗi lần đọc một ô nhớ, bộ phận điều khiển bộ nhớ phải viết lại nội dung ô nhớ đó. Chu kỳ bộ nhớ cũng theo đó mà ít nhất là gấp đôi thời gian thâm nhập ô nhớ.

Việc lưu giữ thông tin trong bit nhớ chỉ là tạm thời vì tụ điện sẽ phóng hết điện tích đã nạp và như vậy phải làm tươi bộ nhớ sau khoảng thời gian $2\mu s$. Việc làm tươi được thực hiện với tất cả các ô nhớ trong bộ nhớ. Công việc này được thực hiện tự động bởi một vi mạch bộ nhớ.



Hình 6.6: 1 transistor và 1 tụ điện trong một ô nhớ của RAM động

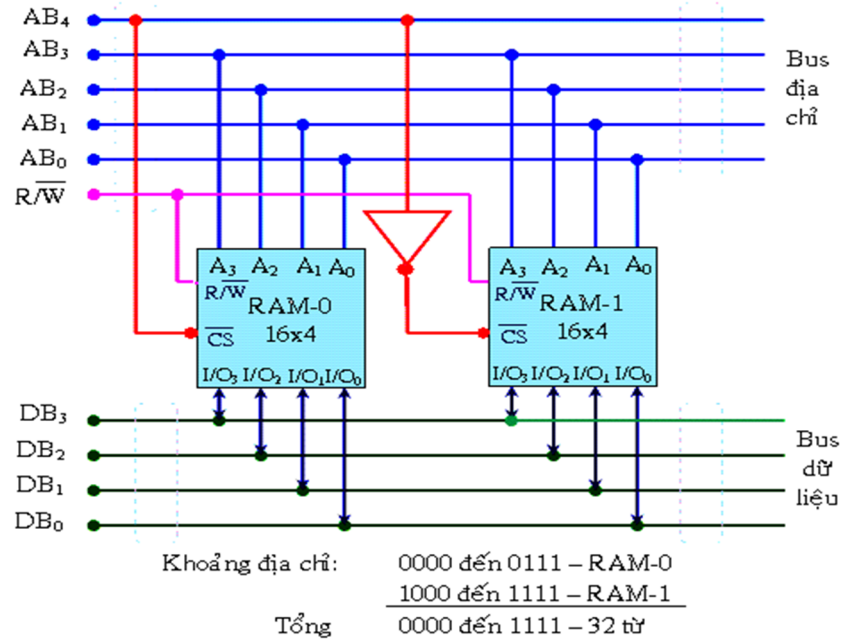
3. Mở rộng dung lượng bộ nhớ

- Mục tiêu: Trình bày cách mở rộng dung lượng bộ nhớ bằng cách mở rộng địa chỉ hoặc dữ liệu.

Trong thực tế nhiều ứng dụng một chip nhớ không thể đáp ứng được, do đó việc mở rộng bộ nhớ và tăng kích cỡ từ là một vấn đề hết sức cần thiết.

3.1. Phương pháp mở rộng số đường địa chỉ

Giả sử ta cần một bộ nhớ có dung lượng chưa 32 từ 4 bit mà trong tay ta chỉ có các chip 16×4 . Để tạo ra bộ nhớ có dung lượng 32×4 ta sẽ kết hợp 2 chip 16×4 . Cách kết hợp được minh họa như hình 6.7.



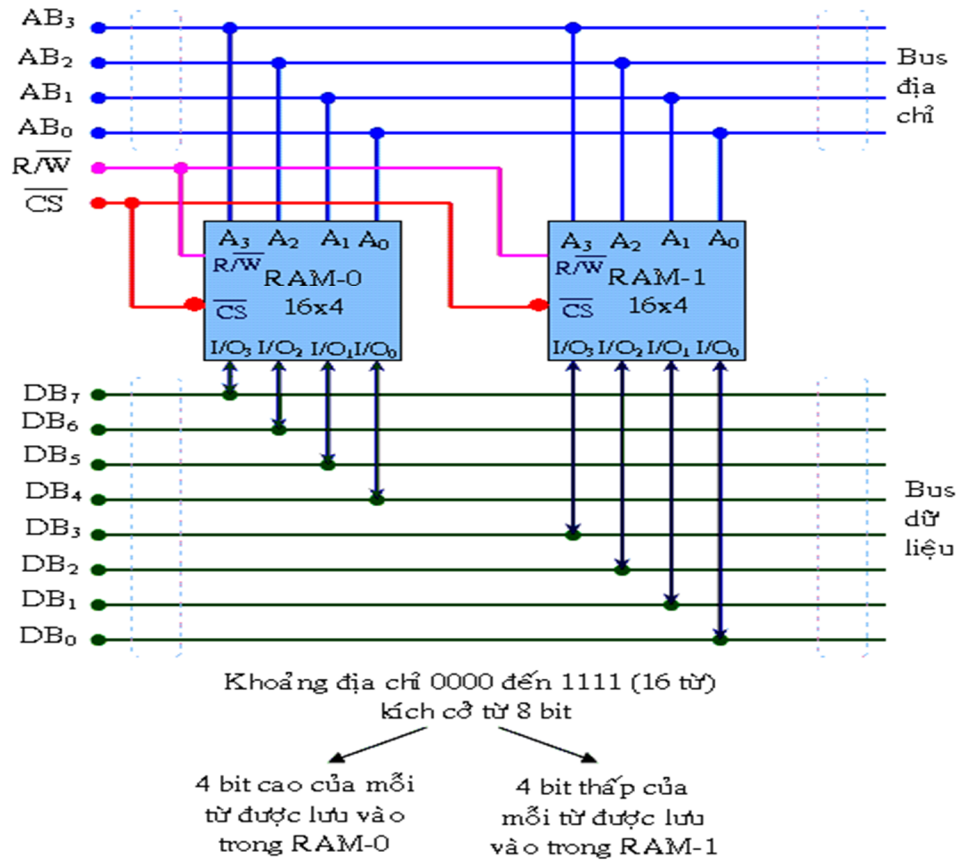
Hình 6.7: Kết hợp hai chip 16x4 thành 32x4

Mỗi RAM được dùng để lưu trữ 16 từ 4 bit. 4 chân vào ra dữ liệu (I/O) của mỗi RAM được nối chung một bus dữ liệu 4 đường. Tại một thời điểm chỉ cho phép chọn một chip RAM để không nảy sinh vấn đề tranh chấp bus.

Vì tổng dung lượng của mô-đun nhớ này là 32x4 nên phải có 32 địa chỉ khác nhau, đòi hỏi đến 5 đường địa chỉ. Đường địa chỉ AB4 cùng để chọn một trong hai RAM (qua đầu vào \overline{CS}) được đọc ra hay ghi vào. 4 đường địa chỉ còn lại dùng để xác định một trong 16 vị trí ô nhớ của chip RAM được chọn.

3.2. Phương pháp mở rộng số đường dữ liệu

Giả sử chúng ta cần một bộ nhớ có thể lưu trữ được 16 từ 4 bit, nhưng thực tế ta chỉ có các chip RAM 16x4 với các đường vào/ra (I/O) chung. Để giải quyết vấn đề này ta có thể kết hợp hai chip 16x4 lại với nhau để tạo thành một bộ nhớ mong muốn. Hình 6.8 minh họa cách kết hợp này.



Hình 6.8: Kết hợp hai RAM 16x4 thành một mô-đun 16x8

Bởi vì mỗi chip chỉ có thể lưu trữ 16 từ 4 bit nên ta có thể xem như đang sử dụng mỗi chip để lưu trữ phân nửa từ. Có nghĩa là RAM-0 chứa 4 bit cao của từng từ trong số 16 từ, và RAM-1 chứa 4 bit thấp của từng từ trong số 16 từ. Một từ có đủ 8 bit có mặt tại các đầu ra của RAM nối với bus dữ liệu.

Như vậy thì bất cứ từ nào trong số 16 từ cũng được chọn bằng cách đưa mã địa chỉ tương ứng vào 4 đường của bus địa chỉ. Điều này có nghĩa là, một khi được đặt lên bus địa chỉ, mã địa chỉ sẽ được áp vào cả hai chip, sao cho mỗi chip được truy xuất cùng vị trí đồng thời. Khi có địa chỉ được chọn, ta có thể đọc hoặc ghi tại địa chỉ này dưới sự điều khiển của đường R/\overline{W} và đường \overline{CS} chung.

- Để đọc thì R/\overline{W} phải ở mức cao, còn \overline{CS} ở mức thấp. Điều này làm các đường I/O của RAM hoạt động như đầu ra. RAM-0 đặt từ 4 bit được chọn của nó lên 4 đường trên của bus dữ liệu, RAM -1 đặt từ 4 bit được chọn của nó lên 4 đường dưới của bus dữ liệu. Lúc này bus dữ liệu đã chứa từ 8 bit hoàn chỉnh được chọn.

- Để ghi thì R/\overline{W} ở mức thấp và \overline{CS} cũng ở mức thấp, làm cho các đường I/O của RAM hoạt động như đầu vào. Từ 8 bit cần ghi được đặt lên bus dữ liệu, 4

bit cao sẽ được ghi vào vị trí đã chọn của RAM-0 và 4 bit thấp sẽ được ghi vào vị trí đã chọn của RAM-0.

➤ **YÊU CẦU VỀ ĐÁNH GIÁ KẾT QUẢ HỌC TẬP BÀI 6**

Nội dung:

- + Về kiến thức: Trình bày được khái niệm, cấu trúc và thông số giữa các mạch của RAM tĩnh và RAM động, hiểu được chức năng của các họ của IC
- + Về kỹ năng: sử dụng thành thạo các dụng cụ đo để đo được các chân tín hiệu điện áp ở ngõ vào – ra của IC, lắp ráp một số mạch cơ bản,....
- + Về thái độ: Đảm bảo an toàn và vệ sinh công nghiệp.

Phương pháp:

- + Về kiến thức: Được đánh giá bằng hình thức kiểm tra viết, trắc nghiệm.
- + Về kỹ năng: Đánh giá kỹ năng thực hành đo được các thông số trong mạch điện theo yêu cầu của bài, lắp ráp một số mạch cơ bản
- + Thái độ: Tỉ mỉ, cẩn thận, chính xác, ngăn nắp trong công việc.

BÀI 7:**KỸ THUẬT ADC – DAC****Giới thiệu**

Trong tự nhiên đa phần các nguồn tín hiệu thường là dạng tương tự (Analog) để hệ thống số có thể xử lý được các tín hiệu này cần thiết phải chuyển đổi chúng sang tín hiệu số (ADC). Sau khi tính toán, xử lý xong cần thiết phải chuyển đổi các tín hiệu này từ tín hiệu số về lại tương tự (DAC).

Mục tiêu:

- Trình bày được cấu tạo, nguyên lý hoạt động, phạm vi ứng dụng các bộ bộ chuyển đổi A/D và D/A.
- Nêu được một số IC chuyển đổi thông dụng và ứng dụng của chúng
- Đo kiểm, xác định lỗi chính xác một loại IC chuyển đổi thông dụng
- Rèn luyện tính tư duy và tác phong công nghiệp

Nội dung:**1. Mạch chuyển đổi số - tương tự (DAC)**

- Mục tiêu: Nêu được những ứng dụng của chuyển đổi DAC, các thông số (độ phân giải, độ chính xác, sai số,...), sự chuyển đổi của mạch dùng nguồn và điện trở.

1.1. Tổng quát về chuyển đổi DAC

Trong kỹ thuật số, ta thấy đại lượng số có giá trị xác định là một trong hai khả năng là 0 hoặc 1, cao hay thấp, đúng hoặc sai, vv... Trong thực tế chúng ta thấy rằng một đại lượng số (chẳng hạn mức điện thế) thực ra có thể có một giá trị bất kỳ nằm trong khoảng xác định và ta định rõ các giá trị trong phạm vi xác định sẽ có chung giá trị dạng số.

Ví dụ: Với logic TTL ta có: Từ 0V đến 0,8V là mức logic 0, từ 2V đến 5V là mức logic 1.

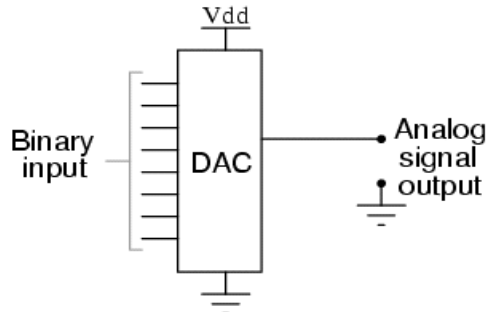
Như vậy thì bất kỳ mức điện thế nào nằm trong khoảng 0 – 0,8V đều mang giá trị số là logic 0, còn mọi điện thế nằm trong khoảng 2 – 5V đều được gán giá trị số là 1.

Ngược lại trong kỹ thuật tương tự, đại lượng tương tự có thể lấy giá trị bất kỳ trong một khoảng giá trị liên tục. Và điều quan trọng hơn nữa là giá trị chính xác của đại lượng tương tự là yếu tố quan trọng.

Hầu hết trong tự nhiên đều là các đại lượng tương tự như nhiệt độ, áp suất, cường độ ánh sáng, ... Do đó muốn xử lý trong một hệ thống kỹ thuật số, ta phải

chuyển đổi sang dạng đại lượng số mới có thể xử lý và điều khiển các hệ thống được. Và ngược lại có những hệ thống tương tự cần được điều khiển chúng ta cũng phải chuyển đổi từ số sang tương tự. Trong phần này chúng ta sẽ tìm hiểu về quá trình chuyển đổi từ số sang tương tự -DAC (Digital to Analog Converter).

Chuyển đổi số sang tương tự là tiến trình lấy một giá trị được biểu diễn dưới dạng mã số (digital code) và chuyển đổi nó thành mức điện thế hoặc dòng điện tỉ lệ với giá trị số. Hình 7.1 minh họa sơ đồ khối của một bộ chuyển đổi DAC.



Hình 7.1: Sơ đồ khối của một DAC

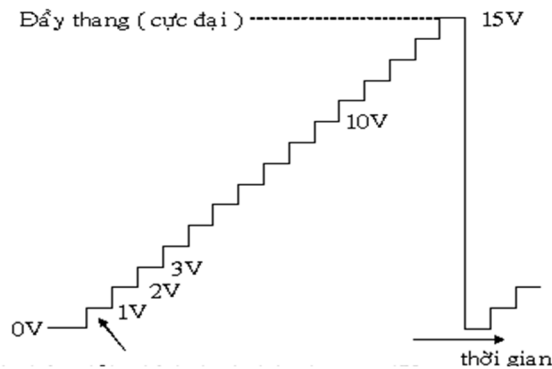
1.2. Thông số kỹ thuật của bộ chuyển đổi DAC

1.2.1 Độ phân giải

Độ phân giải (resolution) của bộ biến đổi DAC được định nghĩa là thay đổi nhỏ nhất có thể xảy ra ở đầu ra tương tự bởi kết quả của một thay đổi ở đầu vào số.

Độ phân giải của DAC phụ thuộc vào số bit, do đó các nhà chế tạo thường ấn định độ phân giải của DAC ở dạng số bit. DAC 10 bit có độ phân giải tinh hơn DAC 8 bit. DAC có càng nhiều bit thì độ phân giải càng tinh hơn.

Độ phân giải luôn bằng trọng số của LSB. Còn gọi là kích thước bậc thang (step size), vì đó là khoảng thay đổi của V_{out} khi giá trị của đầu vào số thay đổi từ bước này sang bước khác.



Hình 7.2 Dạng sóng bậc thang của một DAC

Dạng sóng bậc thang (hình 7.2) có 16 mức với 16 trạng thái đầu vào nhưng chỉ có 15 bậc giữa mức 0 và mức cực đại. Với DAC có N bit thì tổng số mức khác nhau sẽ là 2^N , và tổng số bậc sẽ là $2^N - 1$.

- Do đó độ phân giải bằng với hệ số tỷ lệ trong mối quan hệ giữa đầu vào và đầu ra của DAC.

$$\text{Đầu ra tương tự} = K * \text{đầu vào số}$$

+ Với K là mức điện thế (hoặc cường độ dòng điện) ở mỗi bậc.

- Như vậy ta có công thức tính độ phân giải như sau:

$$\text{Độ phân giải } K = \frac{A_{fs}}{2^N - 1} \times 100\% \quad (7.1)$$

Với : - A_{fs} : là đầu ra cực đại (đầy thang)

- N: là số bit

- K: là mức điện thế (hoặc cường độ dòng điện) ở mỗi bậc.

- Nếu tính theo phần trăm ta có công thức như sau:

$$\% \beta = \frac{A}{A_{fs}} \times 100\% \quad (7.2)$$

Trong đó: - $\% \beta$: % độ phân giải của DAC

- A: kích thước bậc thang

- A_{fs} : đầu ra cực đại (đầy thang)

Ví dụ : Như hình 7.1, ta có :

$$\begin{aligned} \% \beta &= \frac{A}{A_{fs}} \times 100\% \\ &= \frac{1V}{15V} \times 100\% = 6,67\% \end{aligned}$$

Ví dụ 1: Một ADC 10 bit có kích thước bậc thang = 10mV. Hãy xác định điện thế đầu ra cực đại (đầy thang) và tỷ lệ % độ phân giải.

Giải:

DAC có 10 bit nên ta có

Số bậc là $2^{10} - 1 = 1023$ bậc

Với mỗi bậc là 10mV nên đầu ra cực đại sẽ là $10mV \times 1023 = 10.23V$

$$\% \beta = \frac{A}{A_{fs}} \times 100\% = \frac{10mV}{10,23mV} \times 100\% = 0,1\%$$

- Từ ví dụ trên cho thấy tỷ lệ phần trăm độ phân giải giảm đi khi số bit đầu vào tăng lên. Do đó ta còn tính được % độ phân giải theo công thức:

$$\% \beta = \frac{1}{\sum (2^N - 1)} \times 100\% \quad (7.3)$$

(Với mã đầu vào nhị phân N bit ta có tổng số bậc là $2^N - 1$ bậc).

1.2.2 Độ chính xác

- Có nhiều cách đánh giá độ chính xác. Hai cách thông dụng nhất là sai số toàn thang (full scale error) và sai số tuyến tính (linearity error) thường được biểu diễn ở dạng phần trăm đầu ra cực đại (đầy thang) của bộ chuyển đổi.

- Sai số toàn thang là khoảng lệch tối đa ở đầu ra DAC so với giá trị dự kiến (lý tưởng), được biểu diễn ở dạng phần trăm.

- Sai số tuyến tính là khoảng lệch tối đa ở kích thước bậc thang so với kích thước bậc thang lý tưởng. Điều quan trọng của một DAC là độ chính xác và độ phân giải phải tương thích với nhau.

1.2.3 Sai số lệch

- Theo lý tưởng thì đầu ra của DAC sẽ là 0V khi tất cả đầu vào nhị phân toàn là bit 0. Tuy nhiên trên thực tế thì mức điện thế ra cho trường hợp này sẽ rất nhỏ, gọi là sai số lệch (offset error). Sai số này nếu không điều chỉnh thì sẽ được cộng vào đầu ra DAC dự kiến trong tất cả các trường hợp.

- Nhiều DAC có tính năng điều chỉnh sai số lệch ở bên ngoài, sẽ cho phép chúng ta triệt tiêu độ lệch này bằng cách áp mọi bit 0 ở đầu vào DAC và theo dõi đầu ra. Khi đó ta điều chỉnh chiết áp điều chỉnh độ lệch cho đến khi nào đầu ra bằng 0V.

1.2.4 Thời gian ổn định

- Thời gian ổn định (settling time) là thời gian cần thiết để đầu ra DAC đi từ zero đến bậc thang cao nhất khi đầu vào nhị phân biến thiên từ chuỗi bit toàn 0 đến chuỗi bit toàn là 1. Thực tế thời gian ổn định là thời gian để đầu vào DAC ổn định trong phạm vi $\pm 1/2$ kích thước bậc thang (độ phân giải) của giá trị cuối cùng.

- Ví dụ: Một DAC có độ phân giải 10mV thì thời gian ổn định được đo là thời gian đầu ra cần có để ổn định trong phạm vi 5mV của giá trị đầy thang.

Thời gian ổn định có giá trị biến thiên trong khoảng 50ns đến 10ns. DAC với đầu ra dòng có thời gian ổn định ngắn hơn thời gian ổn định của DAC có đầu ra điện thế.

1.2.5 Trạng thái đơn điệu

- DAC có tính chất đơn điệu (monotonic) nếu đầu ra của nó tăng khi đầu vào nhị phân tăng dần từ giá trị này lên giá trị kế tiếp. Nói cách khác là đầu ra bậc thang sẽ không có bậc đi xuống khi đầu vào nhị phân tăng dần từ zero đến đầy thang.

Tỉ số phụ thuộc dòng:

- DAC chất lượng cao yêu cầu sự ảnh hưởng của biến thiên điện áp nguồn đối với điện áp đầu ra vô cùng nhỏ. Tỉ số phụ thuộc nguồn là tỉ số biến thiên mức điện áp đầu ra với biến thiên điện áp nguồn gây ra nó. Ngoài các thông số trên chúng ta cần phải quan tâm đến các thông số khác của một DAC khi sử dụng như: các

mức logic cao, thấp, điện trở, điện dung của đầu vào; dải rộng, điện trở, điện dung của đầu ra; hệ số nhiệt, ...

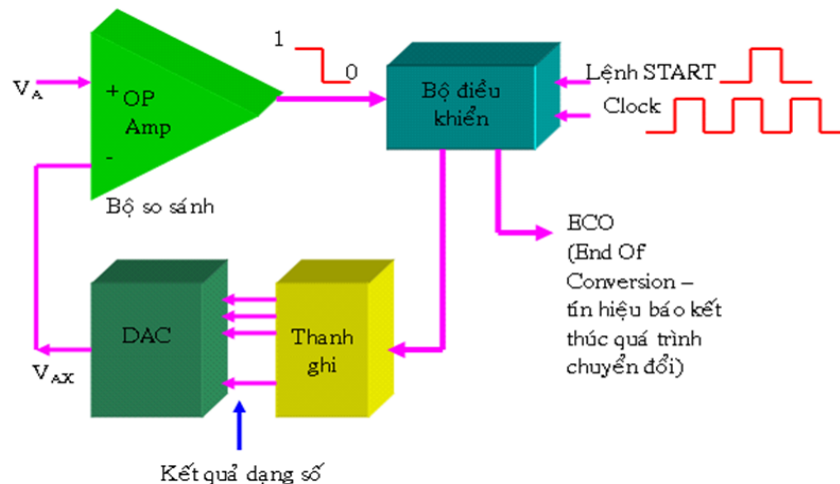
2. Mạch chuyển đổi tương tự - số (ADC)

- Mục tiêu: Trình bày những ứng dụng của chuyển đổi ADC, các thông số (độ phân giải, độ chính xác, sai số,...), sự chuyển đổi của mạch dùng điện áp tham chiếu dạng sóng bậc thang, mạch chuyển đổi song song.

2.1. Tổng quát về chuyển đổi ADC

2.1.1. Giới thiệu

Bộ chuyển đổi tương tự sang số – ADC (Analog to Digital Converter) lấy mức điện thế vào tương tự sau đó một thời gian sẽ sinh ra mã đầu ra dạng số biểu diễn đầu vào tương tự. Tiến trình biến đổi A/D thường phức tạp và mất nhiều thời gian hơn tiến trình chuyển đổi D/A. Do đó có nhiều phương pháp khác nhau để chuyển đổi từ tương tự sang số. Hình vẽ 7.3 là sơ đồ khối của một lớp ADC đơn giản.



Hình 7.3: Sơ đồ tổng quát của một lớp ADC

Hoạt động cơ bản của lớp ADC thuộc loại này như sau:

- Xung lệnh START khởi động sự hoạt động của hệ thống.
- Xung Clock quyết định bộ điều khiển liên tục chỉnh sửa số nhị phân lưu trong thanh ghi.

- Số nhị phân trong thanh ghi được DAC chuyển đổi thành mức điện thế tương tự V_{AX} .

- Bộ so sánh so sánh V_{AX} với đầu vào tương tự V_A . Nếu $V_{AX} < V_A$ đầu ra của bộ so sánh lên mức cao. Nếu $V_{AX} > V_A$ ít nhất bằng một khoảng V_T (điện thế ngưỡng), đầu ra của bộ so sánh sẽ xuống mức thấp và ngừng tiến trình biến đổi số nhị phân ở thanh ghi. Tại thời điểm này V_{AX} xấp xỉ V_A , giá trị nhị phân ở thanh

ghi là đại lượng số tương đương V_{AX} và cũng là đại lượng số tương đương V_A , trong giới hạn độ phân giải và độ chính xác của hệ thống.

- Logic điều khiển kích hoạt tín hiệu ECO khi chu kỳ chuyển đổi kết thúc.

Tiến trình này có thể có nhiều thay đổi đối với một số loại ADC khác, chủ yếu là sự khác nhau ở cách thức bộ điều khiển sửa đổi số nhị phân trong thanh ghi.

2.1.2. Các chỉ tiêu kỹ thuật chủ yếu của ADC

- Độ phân giải

Độ phân giải của một ADC biểu thị bằng số bit của tín hiệu số đầu ra. Số lượng bit nhiều sai số lượng tử càng nhỏ, độ chính xác càng cao.

- Dải động, điện trở đầu vào.

Mức logic của tín hiệu số đầu ra và khả năng chịu tải (nối vào đầu vào).

- Độ chính xác tương đối

Nếu lý tưởng hóa thì tất cả các điểm chuyển đổi phải nằm trên một đường thẳng. Độ chính xác tương đối là sai số của các điểm chuyển đổi thực tế so với đặc tuyến chuyển đổi lý tưởng. Ngoài ra còn yêu cầu ADC không bị mất bit trong toàn bộ phạm vi công tác.

- Tốc độ chuyển đổi

Tốc độ chuyển đổi được xác định thời gian bởi thời gian cần thiết hoàn thành một lần chuyển đổi A/D. Thời gian này tính từ khi xuất hiện tín hiệu điều khiển chuyển đổi đến khi tín hiệu số đầu ra đã ổn định.

- Hệ số nhiệt độ

Hệ số nhiệt độ là biến thiên tương đối tín hiệu số đầu ra khi nhiệt độ biến đổi 10C trong phạm vi nhiệt độ công tác cho phép với điều kiện mức tương tự đầu vào không đổi.

- Tỉ số phụ thuộc công suất

Giả sử điện áp tương tự đầu vào không đổi, nếu nguồn cung cấp cho ADC biến thiên mà ảnh hưởng đến tín hiệu số đầu ra càng lớn thì tỉ số phụ thuộc nguồn càng lớn.

- Công suất tiêu hao.

2.2. Vấn đề lấy mẫu và giữ

Quá trình chuyển đổi A/D nhìn chung được thực hiện qua 4 bước cơ bản, đó là: lấy mẫu; nhớ mẫu; lượng tử hóa và mã hóa. Các bước đó luôn luôn kết hợp với nhau trong một quá trình thống nhất.

2.2.1 Định lý lấy mẫu

Đối với tín hiệu tương tự V_I thì tín hiệu lấy mẫu V_S sau quá trình lấy mẫu có thể khôi phục trở lại V_I một cách trung thực nếu điều kiện sau đây thỏa mãn:

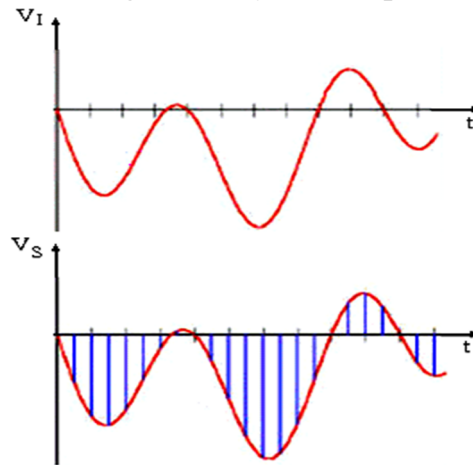
$$f_s \geq 2f_{\max} \quad (7.9)$$

Trong đó:

- f_s : tần số lấy mẫu
- f_{\max} : là giới hạn trên của dải tần số tương tự

Hình 7.4: Biểu diễn cách lấy mẫu tín hiệu tương tự đầu vào. Nếu biểu thức (7.8) được thỏa mãn thì ta có thể dùng bộ tụ lọc thông thấp để khôi phục V_I từ V_S .

Vì mỗi lần chuyển đổi điện áp lấy mẫu thành tín hiệu số tương ứng đều cần có một thời gian nhất định nên phải nhớ mẫu trong một khoảng thời gian cần thiết sau mỗi lần lấy mẫu. Điện áp tương tự đầu vào được thực hiện chuyển đổi A/D trên thực tế là giá trị VI đại diện, giá trị này là kết quả của mỗi lần lấy mẫu.



Hình 7.4: Lấy mẫu tín hiệu tương tự đầu vào

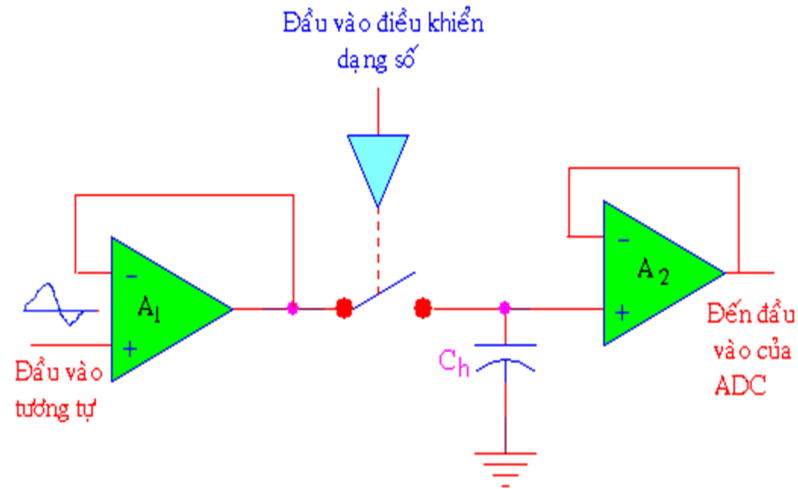
2.2.2 Lượng tử hóa và mã hóa

Tín hiệu số không những rời rạc trong thời gian mà còn không liên tục trong biến đổi giá trị. Một giá trị bất kỳ của tín hiệu số đều phải biểu thị bằng bội số nguyên lần giá trị đơn vị nào đó, giá trị này là nhỏ nhất được chọn. Nghĩa là nếu dùng tín hiệu số biểu thị điện áp lấy mẫu thì phải bắt điện áp lấy mẫu hóa thành bội số nguyên lần giá trị đơn vị. Quá trình này gọi là *lượng tử hóa*. Đơn vị được chọn theo qui định này gọi là đơn vị lượng tử, kí hiệu D. Như vậy giá trị bit 1 của LSB tín hiệu số bằng D. Việc dùng mã nhị phân biểu thị giá trị tín hiệu số là *mã hóa*. Mã nhị phân có được sau quá trình trên chính là tín hiệu đầu ra của chuyển đổi A/D.

2.2.3 Mạch lấy mẫu và nhớ mẫu

Khi nối trực tiếp điện thế tương tự với đầu vào của ADC, tiến trình biến đổi có thể bị tác động ngược nếu điện thế tương tự thay đổi trong tiến trình biến đổi.

Ta có thể cải thiện tính ổn định của tiền trình chuyển đổi bằng cách sử dụng mạch lấy mẫu và nhớ mẫu để ghi nhớ điện thế tương tự không đổi trong khi chu kỳ chuyển đổi diễn ra. Hình 7.5 là một sơ đồ của mạch lấy mẫu và nhớ mẫu.

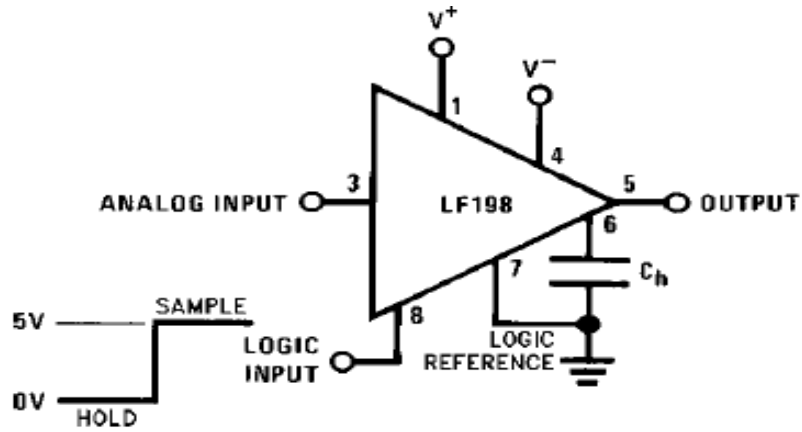


Hình 7.5: Mạch lấy mẫu và nhớ mẫu

Khi đầu vào điều khiển = 1 lúc này chuyển mạch đóng mạch ở chế độ lấy mẫu. Khi đầu vào điều khiển = 0 lúc này chuyển mạch hở mạch chế độ giữ mẫu.

Chuyển mạch được đóng một thời gian đủ dài để tụ C_h nạp đến giá trị dòng điện của tín hiệu tương tự. Ví dụ nếu chuyển mạch được đóng tại thời điểm t_0 thì đầu ra A_1 sẽ nạp nhanh tụ C_h lên đến điện thế tương tự V_0 . khi chuyển mạch mở thì tụ C_h sẽ duy trì điện thế này để đầu ra của A_2 cung cấp mức điện thế này cho ADC. Bộ khuếch đại đệm A_2 đặt trở kháng cao tại đầu vào nhằm không xả điện thế tụ một cách đáng kể trong thời gian chuyển đổi của ADC do đó ADC chủ yếu sẽ nhận được điện thế DC vào, tức là V_0 .

Trong thực tế người ta sử dụng vi mạch LF198 (hình 7.6) là mạch S/H tích hợp có thời gian thu nhận dữ liệu tiêu biểu là 4ms ứng với $C_h = 1000\text{pF}$, và 20ms ứng với $C_h = 0.01\text{mF}$. Tín hiệu máy tính sau đó sẽ mở chuyển mạch để cho phép C_h duy trì giá trị của nó và cung cấp mức điện thế tương tự tương đối ổn định tại đầu ra A_2 .

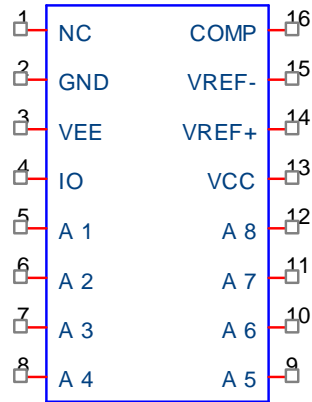


Hình 7.6: Sơ đồ chân của LF198

3. Thực hành

3.1. Khảo sát IC 0808

3.1.1 Sơ đồ chân:



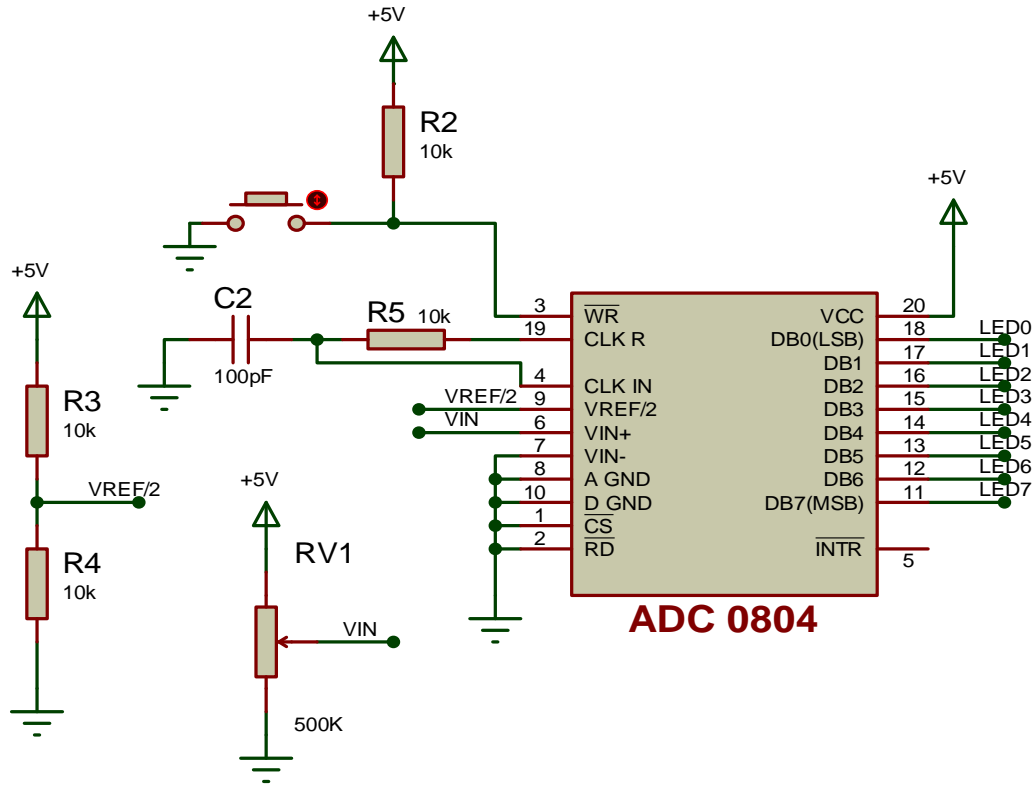
DAC0808

3.1.2 Chức năng các chân:

A8 ÷ A1:.....
 VREF+, VREF-:

3.2. Ráp mạch điều khiển chuyển đổi ADC bằng switch

3.2.1 Mạch điện:



Hình 7.7: Mạch ADC 0804.

3.2.2

Các bước thực hiện:

Bước 1: Tắt nguồn

Bước 2: Ráp mạch như hình vẽ

Bước 3. Cấp nguồn cho mạch

Bước 4. Vặn biến trở, nhấn nút và đo điện áp Vin và tín hiệu ra trên 8 led để lập bảng trạng thái TT7-1:

Bảng TT7-1

CLK	Led7	Led6	Led5	Led4	Led3	Led2	Led1	Led0
0								
1								
2								
3								
4								
5								
6								
7								
8								

9								
10								

Bước 5: Tắt nguồn.

Nhận xét:

- Hãy cho biết mối quan hệ giữa Vin và trạng thái Led ở ngõ ra?
- Giải thích nguyên lý hoạt động của mạch:

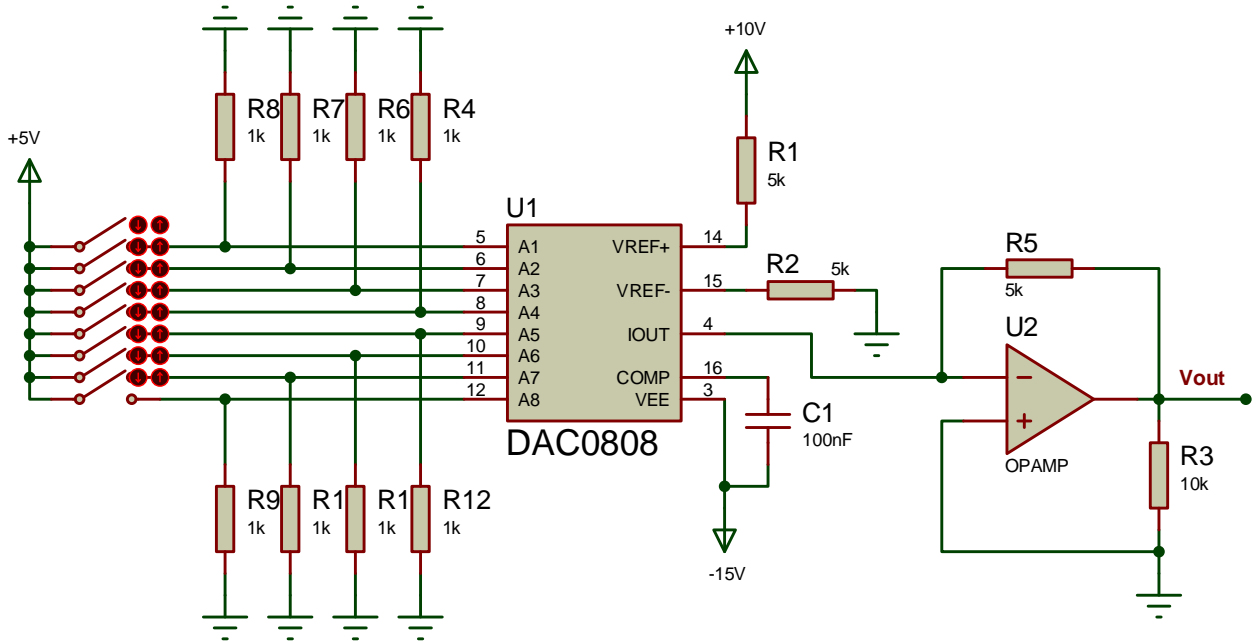
.....

.....

.....

3.3. Ráp mạch điều khiển chuyển đổi DAC bằng switch

3.3.1 Mạch điện:



Hình 7.8: Mạch DAC 0808.

3.3.2. Các bước thực hiện:

Bước 1: Tắt nguồn

Bước 2: Ráp mạch như hình vẽ

Bước 3: Cấp nguồn cho mạch

Bước 4: Thay đổi vị trí các công tắc và đo điện áp Vout(TT) để lập bảng TT7-2:

Công thức tính Vout theo lý thuyết:

$$V_{OUT} = 10V \left(\frac{A_1}{2} + \frac{A_2}{4} + \frac{A_3}{8} + \frac{A_4}{16} + \frac{A_5}{32} + \frac{A_6}{64} + \frac{A_7}{128} + \frac{A_8}{256} \right)$$

(“A₁” là trạng thái của công tắc A₁: 0 hoặc 1)

Bảng TT7-2

SW	A8	A7	A6	A5	A4	A3	A2	A1	Vout (TT)	Vout (LT)
0										
1										
2										
3										
4										
5										
6										
7										
8										
9										
10										

Bước 5: Tắt nguồn.

Nhận xét:

- Giải thích nguyên lý hoạt động của mạch:

.....

.....

.....

➤ **YÊU CẦU VỀ ĐÁNH GIÁ KẾT QUẢ HỌC TẬP BÀI 7**

✚ Nội dung:

+ *Về kiến thức: Trình bày được khái niệm, cấu trúc và thông số giữa các mạch chuyển đổi số - tương tự và mạch tương tự - số, hiểu được chức năng của các họ của IC*

+ *Về kỹ năng: sử dụng thành thạo các dụng cụ đo để đo được các chân tín hiệu điện áp ở ngõ vào – ra của IC, lắp ráp một số mạch cơ bản,....*

+ *Về thái độ: Đảm bảo an toàn và vệ sinh công nghiệp.*

Phương pháp:

+ *Về kiến thức: Được đánh giá bằng hình thức kiểm tra viết, trắc nghiệm.*

+ *Về kỹ năng: Đánh giá kỹ năng thực hành đo được các thông số trong mạch điện theo yêu cầu của bài, lắp ráp một số mạch cơ bản*

+ *Thái độ: Tỉ mỉ, cẩn thận, chính xác, ngăn nắp trong công việc.*

TÀI LIỆU THAM KHẢO

- [1] Mạch điện tử (tập 1 – 2), *Nguyễn Tấn Phước*, NXB TP HCM, 2005
- [2] Kỹ thuật xung cơ bản và nâng cao, *Nguyễn Tấn Phước*, NXB TP HCM, 2002
- [3] Kỹ thuật số, *Nguyễn Thuý Vân*, NXB KHKT, 2004
- [4] Kỹ thuật điện tử số, *Đặng Văn Chuyét*, NXB Giáo dục.
- [5] Cơ sở kỹ thuật điện tử số, *Vũ Đức Thọ*, NXB Giáo dục.